

PCT

世界知的所有権機関
国際事務局
特許協力条約に基づいて公開された国際出願

(51) 国際特許分類7 H01L 21/60	A1	(11) 国際公開番号 WO00/55898 (43) 国際公開日 2000年9月21日(21.09.00)									
<p>(21) 国際出願番号 PCT/JP00/01387</p> <p>(22) 国際出願日 2000年3月8日(08.03.00)</p> <p>(30) 優先権データ</p> <table border="0"><tr><td>特願平11/69420</td><td>1999年3月16日(16.03.99)</td><td>JP</td></tr><tr><td>特願平11/69421</td><td>1999年3月16日(16.03.99)</td><td>JP</td></tr><tr><td>特願平11/73043</td><td>1999年3月18日(18.03.99)</td><td>JP</td></tr></table> <p>(71) 出願人 (米国を除くすべての指定国について) セイコーエプソン株式会社 (SEIKO EPSON CORPORATION)[JP/JP] 〒163-0811 東京都新宿区西新宿2丁目4番1号 Tokyo, (JP)</p> <p>(72) 発明者; および</p> <p>(75) 発明者/出願人 (米国についてのみ) 花岡輝直(HANAOKA, Terunao)[JP/JP] 伊東春樹(ITO, Haruki)[JP/JP] 野澤一彦(NOZAWA, Kazuhiko)[JP/JP] 〒392-8502 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内 Nagano, (JP)</p>		特願平11/69420	1999年3月16日(16.03.99)	JP	特願平11/69421	1999年3月16日(16.03.99)	JP	特願平11/73043	1999年3月18日(18.03.99)	JP	<p>(74) 代理人 井上 一, 外(INOUE, Hajime et al.) 〒167-0051 東京都杉並区荻窪5丁目26番13号 荻窪TMビル2階 Tokyo, (JP)</p> <p>(81) 指定国 CN, JP, KR, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)</p> <p>添付公開書類 国際調査報告書</p>
特願平11/69420	1999年3月16日(16.03.99)	JP									
特願平11/69421	1999年3月16日(16.03.99)	JP									
特願平11/73043	1999年3月18日(18.03.99)	JP									
<p>(54)Title: SEMICONDUCTOR DEVICE, METHOD OF MANUFACTURE THEREOF, CIRCUIT BOARD, AND ELECTRONIC DEVICE</p> <p>(54)発明の名称 半導体装置及びその製造方法、回路基板並びに電子機器</p> <div data-bbox="540 1283 1068 1675"></div> <p>(57) Abstract</p> <p>A semiconductor device comprises a semiconductor element (10) with a plurality of electrodes (12), a wiring pattern (20) connected electrically with the electrodes (12), a plurality of insulating layers (41, 42, 43), and a plurality of external terminals (30) connected electrically with the wiring pattern (20). The insulating layers (41, 42, 43) each include a plurality of holes (44, 46, 48), which are communicating with one another to form an opening (40). The external terminals (30) are located in the respective openings (40). The second hole (46) formed in the second insulating layer (42) is larger than the first hole (44) formed in the first insulating layer (41) under the second layer.</p>											

(19) 日本国特許庁 (J P)

再公表特許 (A 1)

(11) 国際公開番号

WO 00 / 5 5 8 9 8

発行日 平成14年7月2日 (2002. 7. 2)

(43) 国際公開日 平成12年9月21日 (2000. 9. 21)

(51) Int.Cl.⁷

H 0 1 L 21/60

識別記号

F I

H 0 1 L 21/92

6 0 2 K

6 0 3 G

審査請求 未請求 予備審査請求 有 (全 52 頁)

出願番号 特願2000-606043(P2000-606043)
(21) 国際出願番号 PCT / J P 0 0 / 0 1 3 8 7
(22) 国際出願日 平成12年3月8日 (2000. 3. 8)
(31) 優先権主張番号 特願平11-69420
(32) 優先日 平成11年3月16日 (1999. 3. 16)
(33) 優先権主張国 日本 (J P)
(31) 優先権主張番号 特願平11-69421
(32) 優先日 平成11年3月16日 (1999. 3. 16)
(33) 優先権主張国 日本 (J P)
(31) 優先権主張番号 特願平11-73043
(32) 優先日 平成11年3月18日 (1999. 3. 18)
(33) 優先権主張国 日本 (J P)

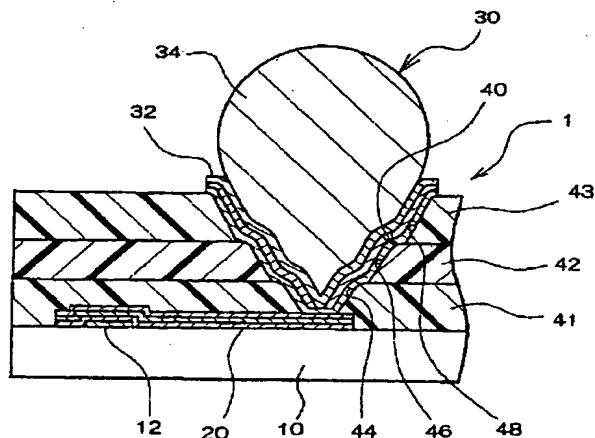
(71) 出願人 セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(72) 発明者 花岡 輝直
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
(72) 発明者 伊東 春樹
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
(72) 発明者 野澤 一彦
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
(74) 代理人 弁理士 井上 一 (外2名)

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法、回路基板並びに電子機器

(57) 【要約】

半導体装置は、複数の電極 (12) を有する半導体素子 (10) と、電極 (12) に電気的に接続される配線パターン (20) と、積層された複数の絶縁層 (41、42、43) と、配線パターン (20) に電気的に接続される複数の外部端子 (30) と、を含み、それぞれの絶縁層 (41、42、43) には、複数の穴 (44、46、48) が形成され、最上層の絶縁層 (43) の穴 (48) から最下層の絶縁層 (41) の穴 (44) までが連通して開口部 (40) を形成し、それぞれの外部端子 (30) は、それぞれの開口部 (40) 内に設けられ、下側に位置する第1の絶縁層 (41) に形成される第1の穴 (44) よりも、上側に位置する第2の絶縁層 (42) に形成される第2の穴 (46) が大きい。



【特許請求の範囲】

【請求項 1】 複数の電極が形成されてなる半導体素子と、
前記電極と電氣的に接続される配線パターンと、
前記配線パターンと電氣的に接続してなる外部端子と、
を有してなり、
前記配線パターン上の、前記外部端子の周囲には複数の絶縁層が形成されてなる半導体装置。

【請求項 2】 請求項 1 記載の半導体装置において、
前記複数の絶縁層のうち少なくとも一つは、応力緩和機能を有する半導体装置。

【請求項 3】 請求項 1 記載の半導体装置において、
前記複数の絶縁層のうち少なくとも一つは、樹脂からなる半導体装置。

【請求項 4】 請求項 1 記載の半導体装置において、
前記各絶縁層が前記外部端子と接する開口部は、下層から上層に向けて大きくなるテーパが付けられた傾斜面である半導体装置。

【請求項 5】 請求項 1 記載の半導体装置において、
前記外部端子は、台座と、前記台座上に設けられる接合部と、を含み、
前記台座が、前記各絶縁層が前記外部端子と接する開口部に接触して設けられる半導体装置。

【請求項 6】 請求項 1 記載の半導体装置において、
前記各絶縁層が前記外部端子と接する開口部は、曲面を以て形成されている半導体装置。

【請求項 7】 請求項 1 記載の半導体装置において、
前記配線パターンは、前記複数の絶縁層よりも下層に形成された応力緩和層上に形成される半導体装置。

【請求項 8】 請求項 1 から請求項 7 のいずれかに記載の半導体装置において、
最上層の前記絶縁層は、前記外部端子の形成領域を除き、最上層から 2 番目の絶縁層の表面全体上に形成される半導体装置。

【請求項 9】 請求項 1 から請求項 7 のいずれかに記載の半導体装置において、

最上層の前記絶縁層は、最上層から2番目の絶縁層が形成されている領域の面積よりも小さく形成されてなる半導体装置。

【請求項10】請求項1記載の半導体装置において、

前記絶縁層は、特性の異なる上側の層及び下側の層を含む半導体装置。

【請求項11】請求項10記載の半導体装置において、

前記上側の層の絶縁層の熱膨張係数は、前記下側の層の絶縁層の熱膨張係数よりも大きい半導体装置。

【請求項12】請求項10記載の半導体装置において、

前記下側の層の絶縁層のヤング率は、前記上側の層の絶縁層のヤング率よりも大きい半導体装置。

【請求項13】複数の電極が形成されてなる半導体素子と、

前記電極と電気的に接続してなる配線パターンと、

前記配線パターンと電気的に接続してなる外部端子と、

を有してなり、

少なくとも1層よりなり、凹凸部を有する絶縁層上に前記配線パターンは形成され、前記凹部に外部端子が形成されてなる半導体装置。

【請求項14】請求項13記載の半導体装置において、

前記絶縁層は、応力緩和機能を有する半導体装置。

【請求項15】請求項13記載の半導体装置において、

前記絶縁層は、樹脂からなる半導体装置。

【請求項16】請求項13記載の半導体装置において、

前記外部端子は、台座と、前記台座上に設けられる接合部と、を含み、前記台座と前記配線パターンとが一つの部材で構成されている半導体装置。

【請求項17】請求項13記載の半導体装置において、

前記凹部は、底部よりも開口端部が大きく形成されている半導体装置。

【請求項18】請求項13記載の半導体装置において、

前記絶縁層は、特性の異なる上側の層及び下側の層を含む半導体装置。

【請求項19】請求項18記載の半導体装置において、

前記絶縁層は、前記半導体素子上に形成され、

前記下側の層の熱膨張係数は、前記上側の層の熱膨張係数よりも小さい半導体装置。

【請求項 20】請求項 13 記載の半導体装置において、

前記半導体装置の最上層には保護膜が形成されてなる半導体装置。

【請求項 21】請求項 1、2、3、4、5、6、7、10、11、12 のいずれかに記載の半導体装置が実装された回路基板。

【請求項 22】請求項 13 から請求項 20 のいずれかに記載の半導体装置が実装された回路基板。

【請求項 23】請求項 1、2、3、4、5、6、7、10、11、12 のいずれかに記載の半導体装置を有する電子機器。

【請求項 24】請求項 13 から請求項 20 のいずれかに記載の半導体装置を有する電子機器。

【請求項 25】半導体素子の複数の電極に電氣的に接続させて配線パターンを形成し、前記配線パターン上に外部端子を形成する工程を含む半導体装置の製造方法であって、

前記配線パターン上の、前記外部端子の周囲に複数の絶縁層を形成する半導体装置の製造方法。

【請求項 26】請求項 25 記載の半導体装置の製造方法において、

前記絶縁層を形成した後に、前記外部端子を形成し、

前記各絶縁層に、前記外部端子と接する開口部を形成する工程では、

第 1 の絶縁層を形成し、

前記第 1 の絶縁層に、第 1 の穴を形成し、

前記第 1 の穴及び前記第 1 の絶縁層上に、第 2 の絶縁層を形成し、

前記第 1 の穴の上方で、前記第 2 の絶縁層に第 2 の穴を形成する半導体装置の製造方法。

【請求項 27】請求項 25 又は請求項 26 記載の半導体装置の製造方法において

、
前記複数の絶縁層のうち少なくとも一つとして、応力緩和機能を有するものを使用する半導体装置の製造方法。

【請求項 28】請求項 25 又は請求項 26 記載の半導体装置の製造方法において

、
前記複数の絶縁層のうち少なくとも一つとして、樹脂からなるものを使用する半導体装置の製造方法。

【請求項 29】請求項 25 又は請求項 26 記載の半導体装置の製造方法において

、
前記絶縁層を、特性の異なる上側の層及び下側の層を含むように形成する半導体装置の製造方法。

【請求項 30】請求項 29 記載の半導体装置の製造方法において、

前記下側の層の絶縁層のヤング率を、前記上側の層の絶縁層のヤング率よりも大きくする半導体装置の製造方法。

【請求項 31】請求項 29 記載の半導体装置の製造方法において、

前記上側の層の絶縁層の熱膨張係数を、前記下側の層の絶縁層の熱膨張係数よりも大きくする半導体装置の製造方法。

【請求項 32】半導体素子上に、少なくとも 1 層よりなり、凹凸部を有する絶縁層を形成し、

前記絶縁層上に、前記半導体素子の複数の電極に接続してなる配線パターンを形成し、

前記凹部に、前記配線パターンと電気的に接続してなる外部端子を形成する半導体装置の製造方法。

【請求項 33】請求項 32 記載の半導体装置の製造方法において、

前記凹部の内面で前記外部端子の下地となる台座を、前記配線パターンとともに一つの部材で形成し、

前記台座上に接合部を設けて前記外部端子を形成する半導体装置の製造方法。

【請求項 34】請求項 32 又は請求項 33 記載の半導体装置の製造方法において

、
前記絶縁層として、応力緩和機能を有するものを使用する半導体装置の製造方法。

【請求項 35】請求項 32 又は請求項 33 記載の半導体装置の製造方法において

前記絶縁層として、樹脂からなるものを使用する半導体装置の製造方法。

【請求項 3 6】請求項 3 2 又は請求項 3 3 記載の半導体装置の製造方法において

前記半導体装置の最上層に、保護膜を形成する半導体装置の製造方法。

【発明の詳細な説明】**[技術分野]**

本発明は、半導体装置及びその製造方法、回路基板並びに電子機器に関する。

[背景技術]

半導体装置の高密度実装を追求すると、ベアチップ実装が理想的である。しかしながら、ベアチップは、品質の保証及び取り扱いが難しい。そこで、CSP (Chip Scale/Size Package) が適用された半導体装置が開発されている。CSPについては正式な定義はないが、一般に、パッケージサイズがICチップと同じか、ICチップよりわずかに大きいICパッケージと解されている。高密度実装を推進するためには、CSP技術の開発が重要である。CSPに関する従来例を開示する刊行物として、国際公開WO95/08856号公報がある。

これによれば、外部端子を有する基板と半導体チップとの間にギャップが形成され、このギャップに樹脂が注入される。この樹脂は、硬化したときに弾力性を有するものである。この弾力性を有する樹脂によって、外部端子に加えられた応力(熱ストレス)が吸収される。なお、この応力は、半導体装置と、この半導体装置が実装される回路基板との熱膨張率の差によって生じる。

しかしながら、半導体チップの基板との間に注入される樹脂は、厚い層にすることが難しいため、十分な熱ストレスの吸収がなされていなかった。

[発明の開示]

本発明は、この問題点を解決するものであり、その目的は、熱ストレスを効果的に吸収することができる半導体装置及びその製造方法、回路基板並びに電子機器を提供することにある。

- (1) 本発明に係る半導体装置は、複数の電極が形成されてなる半導体素子と、
前記電極と電氣的に接続される配線パターンと、
前記配線パターンと電氣的に接続してなる外部端子と、
を有してなり、
前記配線パターン上の、前記外部端子の周囲には複数の絶縁層が形成されてなる。

本発明で、半導体素子とは、個々の半導体チップのみならず、複数の半導体チップに切断される前の素子の集合体（例えば半導体ウエーハ等）のうちのそれぞれの素子も含む。

本発明によれば、複数の絶縁層によって、外部端子に加えられた応力が分散しやすくなっている。

なお、本発明では、複数の絶縁層は、2層のみならずそれ以上の層であってもよい。

(2) この半導体装置において、

前記複数の絶縁層のうち少なくとも一つは、応力緩和機能を有していてもよい。

これによれば、外部端子に加えられた応力は、絶縁層にて吸収される。

(3) この半導体装置において、

前記複数の絶縁層のうち少なくとも一つは、樹脂からなるものでもよい。

(4) この半導体装置において、

前記各絶縁層が前記外部端子と接する開口部は、下層から上層に向けて大きくなるテーパが付けられた傾斜面であってもよい。

これによれば、穴の内面が傾斜面なので、外部端子と絶縁層とが広い面積で接触して応力を吸収する。

(5) この半導体装置において、

前記外部端子は、台座と、前記台座上に設けられる接合部と、を含み、
前記台座が、前記各絶縁層が前記外部端子と接する開口部に接触して設けられてもよい。

これによれば、台座が複数の絶縁層に接触して応力が緩和される。

(6) この半導体装置において、

前記各絶縁層が前記外部端子と接する開口部は、曲面を以て形成されていてもよい。

特に、台座が開口部の内面に形成されている場合には、開口端部に角がないので、台座の破断が防止される。

(7) この半導体装置において、

前記配線パターンは、前記複数の絶縁層よりも下層に形成された応力緩和層上に形成されてもよい。

これによって、応力を一層吸収できるようになる。

(8) この半導体装置において、

最上層の前記絶縁層は、前記外部端子の形成領域を除き、最上層から2番目の絶縁層の表面全体上に形成されていてもよい。

(9) この半導体装置において、

最上層の前記絶縁層は、最上層から2番目の絶縁層が形成されている領域の面積よりも小さく形成されてもよい。

(10) この半導体装置において、

前記絶縁層は、特性の異なる上側の層及び下側の層を含んでもよい。

外部端子に加えられる応力は、詳しくは、半導体装置が実装される回路基板と、半導体素子と、の熱膨張係数の差によって生じる。一般に、回路基板の熱膨張係数は大きいので膨張及び収縮が大きく、半導体素子の熱膨張係数は小さいので膨張及び収縮が小さい。そこで、半導体素子に近い下側の層の絶縁層は、半導体素子の膨張及び収縮が小さいことに対応する特性にすることができる。一方、回路基板に近くなる上側の層の絶縁層は、回路基板の膨張及び収縮が大きいことに対応する特性にすることができる。このように、特性の異なる上側の層及び下側の層の絶縁層を使用することで、応力に起因する品質の劣化を防止することができる。

(11) この半導体装置において、

前記上側の層の絶縁層の熱膨張係数は、前記下側の層の絶縁層の熱膨張係数よりも大きくてもよい。

ここで、外部端子に加えられる応力は、詳しくは、半導体装置が実装される回路基板と、半導体素子と、の熱膨張係数の差によって生じる。一般に、回路基板の熱膨張係数は大きいので膨張及び収縮が大きく、半導体素子の熱膨張係数は小さいので膨張及び収縮が小さい。そこで、半導体素子に近い下側の層の絶縁層は、半導体素子の膨張及び収縮が小さいことに対応して、熱膨張係数を小さくしてある。一方、回路基板に近くなる上側の層の絶縁層は、回路基板の膨張及び収縮

が大きいことに対応して、熱膨張係数を大きくしてある。このように、特性の異なる上側及び下側の層の絶縁層を使用することで、応力に起因する品質の劣化を防止することができる。

(12) この半導体装置において、

前記下側の層の絶縁層のヤング率は、前記上側の層の絶縁層のヤング率よりも大きくてもよい。

ここで、外部端子に加えられる応力は、詳しくは、半導体装置が実装される回路基板と、半導体素子と、の熱膨張係数の差によって生じる。一般に、回路基板の熱膨張係数は大きいので膨張及び収縮が大きく、半導体素子の熱膨張係数は小さいので膨張及び収縮が小さい。そこで、半導体素子に近い下側の層の絶縁層は、半導体素子の膨張及び収縮が小さいことに対応して、ヤング率を大きくしてある。一方、回路基板に近くなる上側の層の絶縁層は、回路基板の膨張及び収縮が大きいことに対応して、ヤング率を小さくしてある。このように、特性の異なる上側及び下側の層の絶縁層を使用することで、応力に起因する品質の劣化を防止することができる。

(13) 本発明に係る半導体装置は、複数の電極が形成されてなる半導体素子と、

前記電極と電氣的に接続してなる配線パターンと、

前記配線パターンと電氣的に接続してなる外部端子と、

を有してなり、

少なくとも1層よりなり、凹凸部を有する絶縁層上に前記配線パターンは形成され、前記凹部に外部端子が形成されてなる。

本発明で、半導体素子とは、個々の半導体チップのみならず、複数の半導体チップに切断される前の素子の集合体（例えば半導体ウェーハ等）のうちのそれぞれの素子も含む。

本発明によれば、配線パターンが、絶縁層上に形成されており、かつ、凹部で外部端子に電氣的に接続されている。すなわち、配線パターンと外部端子との電氣的な接続部分が、絶縁層上に位置している。こうして、配線パターンと外部端子との電氣的接続を効果的に確保することができる。また、配線パターンは、絶

縁層上に形成されているので、破断が防止されるようになっている。さらに、配線パターンは、絶縁層上に形成されており半導体素子から離れている。したがって、半導体素子内の集積回路における信号と、配線パターンにおける信号と、が干渉しにくくなっており、クロストークが減少する。

(14) この半導体装置において、

前記絶縁層は、応力緩和機能を有していてもよい。

これによれば、配線パターンと外部端子との電氣的な接続部分に加えられる応力も、絶縁層によって吸収される。

(15) この半導体装置において、

前記絶縁層は、樹脂からなるものであってもよい。

(16) この半導体装置において、

前記外部端子は、台座と、前記台座上に設けられる接合部と、を含み、前記台座と前記配線パターンとが一つの部材で構成されていてもよい。

こうすることで、外部端子の一部と配線パターンとが一体的に形成されるので、両者間に抵抗が形成されることを防止できる。

(17) この半導体装置において、

前記凹部は、底部よりも開口端部が大きく形成されていてもよい。

これによれば、凹部の内面が傾斜面なので、外部端子と絶縁層とが広い面積で接触して応力を吸収する。

(18) この半導体装置において、

前記絶縁層は、特性の異なる上側の層及び下側の層を含んでもよい。

(19) この半導体装置において、

前記絶縁層は、前記半導体素子上に形成され、

前記下側の層の熱膨張係数は、前記上側の層の熱膨張係数よりも小さくてもよい。

外部端子に加えられる応力は、詳しくは、半導体装置が実装される回路基板（マザーボード）と、半導体素子と、の熱膨張係数の差によって生じる。一般に、回路基板の熱膨張係数は大きいので膨張及び収縮が大きく、半導体素子の熱膨張係数は小さいので膨張及び収縮が小さい。そこで、半導体素子に近い下側の層は

、半導体素子に対応して熱膨張係数を小さくしてある。一方、回路基板に近くなる上側の層は、回路基板に対応して熱膨張係数を大きくしてある。このように、特性の異なる複数の層を使用することで、応力を効果的に吸収することができる。

(20) この半導体装置において、

前記半導体装置の最上層には保護膜が形成されていてもよい。

(21) 本発明に係る回路基板は、上記半導体装置が実装されてなる。

(22) 本発明に係る回路基板は、上記半導体装置が実装されてなる。

(23) 本発明に係る電子機器は、上記半導体装置を有する。

(24) 本発明に係る電子機器は、上記半導体装置を有する。

(25) 本発明に係る半導体装置の製造方法は、半導体素子の複数の電極に電気的に接続させて配線パターンを形成し、前記配線パターン上に外部端子を形成する工程を含む半導体装置の製造方法であって、

前記配線パターン上の、前記外部端子の周囲に複数の絶縁層を形成する。

本発明で、半導体素子とは、個々の半導体チップであってもよいが、複数の半導体チップに切断される前の素子の集合体（例えば半導体ウエーハ等）のうちのそれぞれの素子も含む。すなわち、本発明は、半導体ウエーハのような素子の集合体に対して適用してもよい。

本発明によって製造される半導体装置によれば、外部端子に加えられた応力が分散しやすくなっている。

なお、本発明では、複数の絶縁層は、2層のみならずそれ以上の層であってもよい。

(26) この製造方法において、

前記絶縁層を形成した後に、前記外部端子を形成し、

前記各絶縁層に、前記外部端子と接する開口部を形成する工程では、

第1の絶縁層を形成し、

前記第1の絶縁層に、第1の穴を形成し、

前記第1の穴及び前記第1の絶縁層上に、第2の絶縁層を形成し、

前記第1の穴の上方で、前記第2の絶縁層に第2の穴を形成してもよい。

これによれば、1層の絶縁層を形成して、これに穴を形成する工程を繰り返して、開口部を有する複数の絶縁層を形成することができる。複数の絶縁層を積層することで、合計して厚い絶縁層となる。1層の厚い絶縁層に開口部を直接形成することは難しいが、この方法を適用することで、実質的に1層の厚い絶縁層に等しい構成を得ることができる。

(27) この半導体装置の製造方法において、

前記複数の絶縁層のうち少なくとも一つとして、応力緩和機能を有するものを使用してもよい。

これによれば、外部端子に加えられた応力が絶縁層にて吸収される半導体装置を製造することができる。

(28) この半導体装置の製造方法において、

前記複数の絶縁層のうち少なくとも一つとして、樹脂からなるものを使用してもよい。

(29) この半導体装置の製造方法において、

前記絶縁層を、特性の異なる上側の層及び下側の層を含むように形成してもよい。

これによって製造される半導体装置では、外部端子に加えられる応力は、詳しくは、半導体装置が実装される回路基板と、半導体素子と、の熱膨張係数の差によって生じる。一般に、回路基板の熱膨張係数は大きいので膨張及び収縮が大きく、半導体素子の熱膨張係数は小さいので膨張及び収縮が小さい。そこで、半導体素子に近い下側の層の絶縁層は、半導体素子の膨張及び収縮が小さいことに対応する特性にすることができる。一方、回路基板に近くなる上側の層の絶縁層は、回路基板の膨張及び収縮が大きいことに対応する特性にすることができる。このように、特性の異なる上側及び下側の層の絶縁層を使用することで、応力に起因する品質の劣化を防止することができる。

(30) この半導体装置の製造方法において、

前記下側の層の絶縁層のヤング率を、前記上側の層の絶縁層のヤング率よりも大きくしてもよい。

これによって製造された半導体装置において、外部端子に加えられる応力は、

詳しくは、半導体装置が実装される回路基板と、半導体素子と、の熱膨張係数の差によって生じる。一般に、回路基板の熱膨張係数は大きいので膨張及び収縮が大きく、半導体素子の熱膨張係数は小さいので膨張及び収縮が小さい。そこで、半導体素子に近い下側の層の絶縁層は、半導体素子の膨張及び収縮が小さいことに対応して、ヤング率を大きくしてある。一方、回路基板に近くなる上側の層の絶縁層は、回路基板の膨張及び収縮が大きいことに対応して、ヤング率を小さくしてある。このように、特性の異なる上側及び下側の層の絶縁層を使用することで、応力に起因する品質の劣化を防止することができる。

(31) この半導体装置の製造方法において、

前記上側の層の絶縁層の熱膨張係数を、前記下側の層の絶縁層の熱膨張係数よりも大きくしてもよい。

これによって製造された半導体装置において、外部端子に加えられる応力は、詳しくは、半導体装置が実装される回路基板と、半導体素子と、の熱膨張係数の差によって生じる。一般に、回路基板の熱膨張係数は大きいので膨張及び収縮が大きく、半導体素子の熱膨張係数は小さいので膨張及び収縮が小さい。そこで、半導体素子に近い下側の層の絶縁層は、半導体素子の膨張及び収縮が小さいことに対応して、熱膨張係数を小さくしてある。一方、回路基板に近くなる上側の層の絶縁層は、回路基板の膨張及び収縮が大きいことに対応して、熱膨張係数を大きくしてある。このように、特性の異なる上側及び下側の層の絶縁層を使用することで、応力に起因する品質の劣化を防止することができる。

(32) 本発明に係る半導体装置の製造方法は、半導体素子上に、少なくとも1層よりなり、凹凸部を有する絶縁層を形成し、

前記絶縁層上に、前記半導体素子の複数の電極に接続してなる配線パターンを形成し、

前記凹部に、前記配線パターンと電氣的に接続してなる外部端子を形成する。

本発明で、半導体素子とは、個々の半導体チップであってもよいが、複数の半導体チップに切断される前の素子の集合体（例えば半導体ウエーハ等）のうちのそれぞれの素子も含む。すなわち、本発明は、半導体ウエーハのような素子の集合体に対して適用してもよい。

本発明によれば、配線パターンを、絶縁層上であって、かつ、凹部で外部端子に電氣的に接続させて形成する。すなわち、配線パターンと外部端子との電氣的な接続部分を、絶縁層上に配置している。こうして、配線パターンと外部端子との電氣的接続を効果的に確保することができる。また、配線パターンを絶縁層上に形成するので、その破断が防止されるようになっている。さらに、配線パターンは、絶縁層上に形成されており半導体素子から離れている。したがって、半導体素子内の集積回路における信号と、配線パターンにおける信号と、が干渉しにくくなっており、クロストークが減少する。

(33) この半導体装置の製造方法において、

前記凹部の内面で前記外部端子の下地となる台座を、前記配線パターンとともに一つの部材で形成し、

前記台座上に接合部を設けて前記外部端子を形成してもよい。

これによれば、配線パターンと台座を一体的に形成するので、両者を一度に形成することができる。この場合、外部端子の一部と配線パターンとの間に抵抗が形成されることを防止できる。

(34) この半導体装置の製造方法において、

前記絶縁層として、応力緩和機能を有するものを使用してもよい。

これによれば、配線パターンと外部端子との電氣的な接続部分に加えられる応力も、絶縁層によって吸収することができる。

(35) この半導体装置の製造方法において、

前記絶縁層として、樹脂からなるものを使用してもよい。

(36) この半導体装置の製造方法において、

前記半導体装置の最上層に、保護膜を形成してもよい。

[発明を実施するための最良の形態]

以下、本発明の好適な実施の形態について図面を参照して説明する。

(第1の実施の形態)

図1は、第1の実施の形態に係る半導体装置を示す図である。この半導体装置1は、半導体チップ10と、配線パターン20と、外部端子30と、複数の絶縁層41、42、43と、を含む。半導体装置1は、そのパッケージサイズが半導

体チップ10にほぼ等しいので、CSPに分類することができ、あるいは、応力緩和機能を備えるフリップチップであるということもできる。

半導体チップ10の一つの面（能動面）には、複数の電極12が形成されている。複数の電極12は、半導体チップ10の平面形状が矩形（正方形又は長方形）である場合には、少なくとも一辺（対向する二辺又は全ての辺を含む）に沿って形成されている。あるいは、半導体チップ10の一方の面の中央に複数の電極12を形成してもよい。電極12を避けて、半導体チップ10には、SiN、SiO₂、MgOなどのパッシベーション膜が形成されている。パッシベーション膜は電氣的な絶縁膜である。

配線パターン20は、半導体チップ10における電極12が形成された面で、電極12に電氣的に接続されて形成されている。配線パターン20は、複数層から構成されることが多い。例えば、銅（Cu）、クローム（Cr）、チタン（Ti）、ニッケル（Ni）、チタニウム（Ti-W）、金（Au）、アルミニウム（Al）、ニッケルバナジウム（NiV）、タングステン（W）のうちのいずれかを積層して配線パターン20を形成することができる。電極12が半導体チップ10の端部に形成されている場合には、半導体チップ10の中央方向に、配線パターン20を引き込む。

外部端子30は、電極12の真上を避けて、配線パターン20上に形成されている。電極12の真上を避けているので、外部端子30に加えられた応力が電極12に直接加えられないようになっている。外部端子30は、台座32と、接合部34と、からなる。接合部34は、例えばハンダボールなどであって、回路基板との電氣的な接合に使用される。台座32は、接合部34を受けやすいように、中央がくぼむ形状をなしている。台座32も、複数層で形成してもよく、配線パターン20として選択可能な材料で形成することができる。

複数の絶縁層41、42、43は、積層されて形成されており、各層の間に別の層が介在してもよい。絶縁層41、42、43の各層は、それぞれの外部端子30の一部分の周囲に設けられている。詳しくは、外部端子30の一部（例えば台座32の一部）が配線パターン20に接合されており、台座32の下端部の周囲に最下層の絶縁層41が設けられている。また、台座32の上端部の周囲に最

上層の絶縁層 4 3 が設けられている。そして、最下層の絶縁層 4 1 と最上層の絶縁層 4 3 との間であって、台座 3 2 の中間部に、少なくとも一つの絶縁層 4 2 が形成されている。

絶縁層 4 1、4 2、4 3 のうち少なくとも一つは、応力緩和機能を有してもよい。絶縁層 4 1、4 2、4 3 は、ポリイミド樹脂、シリコーン変性ポリイミド樹脂、エポキシ樹脂、シリコーン変性エポキシ樹脂、ベンゾシクロブテン (BCB ; benzocyclobutene)、ポリベンゾオキサゾール (PBO ; polybenzoxazole) 等で形成することができる。なお、最下層の絶縁層 4 1 は、電極 1 2、配線パターン 2 0 及び図示しないパッシベーション膜上に形成されている。最上層の絶縁層 4 3 は、外部端子 3 0 の形成領域を除き、最上層から 2 番目の絶縁層 4 2 の表面全体上に形成されている。

最下層の絶縁層 4 1 には、複数の穴 4 4 が形成されている。穴 4 4 は、配線パターン 2 0 における外部端子 3 0 との接合部上に形成されている。穴 4 4 の内面は、底部よりも開口端部が大きくなるテーパが付けられた傾斜面となっている。また、穴 4 4 の開口端部は、曲面を以て形成されている。

中間層、例えば最下層から 2 番目の絶縁層 4 2 には、穴 4 6 が形成されている。この穴 4 6 は、最下層の絶縁層 4 1 に形成された穴 4 4 の上方に形成されている。穴 4 6 の内面は、底部よりも開口端部が大きくなるテーパが付けられた傾斜面となっている。

最上層の絶縁層 4 3 には、複数の穴 4 8 が形成されている。この穴 4 8 は、最下層の絶縁層 4 1 に形成された穴 4 4 及び中間層の絶縁層 4 2 に形成された穴 4 6 の上方に形成されている。

本実施の形態では、下側に位置する第 1 の絶縁層に形成される第 1 の穴よりも、その上側に位置する第 2 の絶縁層に形成される第 2 の穴が大きい。ここで、第 1 及び第 2 の絶縁層は、上述した複数の絶縁層 4 1、4 2、4 3 のうちの任意の 2 層をいう。

例えば、最下層の絶縁層 4 1 を第 1 の絶縁層と定義し、その上の絶縁層 4 2 を第 2 の絶縁層と定義することができる。その場合、第 1 の絶縁層 4 1 に形成された第 1 の穴 4 4 よりも、第 2 の絶縁層 4 2 に形成された第 2 の穴 4 6 が大きい。

また、中間層の絶縁層 4 2 を第 1 の絶縁層と定義し、その上の絶縁層 4 3 を第 2 の絶縁層と定義することができる。その場合、第 1 の絶縁層 4 2 に形成された第 1 の穴 4 6 よりも、第 2 の絶縁層 4 3 に形成された第 2 の穴 4 8 が大きい。

複数の絶縁層 4 1、4 2、4 3 に形成された穴 4 4、4 6、4 8 は、連通しており、開口部 4 0 を形成している。開口部 4 0 は、配線パターン 2 0 上で開口する。穴 4 4、4 6、4 8 が下から順に大きくなるので、開口部 4 0 は、底部から開口端部に向けて大きく広がる形状になっている。詳しくは、複数の絶縁層 4 1、4 2、4 3 に形成されて連通する穴 4 4、4 6、4 8 の大きさがそれぞれ異なるので、開口部 4 0 は階段状になっている。

開口部 4 0 の内面に、外部端子 3 0 の一部（例えば台座 3 2）が接触して設けられている。開口部 4 0 が階段状に形成されているので、外部端子 3 0 に加えられた応力を、分散して吸収できるようになっている。また、穴 4 4、4 6、4 8 の内面が傾斜していることに対応して、台座 3 2 の側面も傾斜している。詳しくは、台座 3 2 は、逆錐台形状（逆円錐台形状、逆角錐台形状）をなしている。このことにより、台座 3 2 と穴 4 4、4 6、4 8 との接触面積が大きくなるので、両者の密着性が向上する。さらに、穴 4 4、4 6、4 8 の開口端部が曲面を以て形成されており、角がないので、台座 3 2 に破断が生じない。

外部端子 3 0 の側面（例えば台座 3 2 の側面）が傾斜しているので、半導体チップ 1 0 の表面に対する垂線に沿って見て、絶縁層 4 1、4 2、4 3 の一部は、それぞれの外部端子 3 0 の一部分と半導体チップ 1 0 との間に位置する。詳しくは、外部端子 3 0 の一部（例えば台座 3 2 の一部）が配線パターン 2 0 に接合されており、この部分を除く部分と半導体チップ 1 0 との間に、絶縁層 4 1、4 2、4 3 の一部が設けられている。

図 2 に、本実施の形態に係る半導体装置の平面図を示す。同図において、半導体チップ 1 0 の電極 1 2 から、能動面の中央方向に配線パターン 2 0 が形成され、配線パターン 2 0 には外部端子 3 0 が設けられている。

なお、同図に示されるように、外部端子 3 0 は半導体チップ 1 0 の電極 1 2 上ではなく半導体チップ 1 0 の能動領域（能動素子が形成されている領域）に設けられている。絶縁層 4 1、4 2、4 3（図 1 参照）を能動領域に設け、更に配線

パターン20を能動領域内に配設する（引き込む）ことで、外部端子30を能動領域内に設けることができる。すなわち、ピッチ変換をすることができる。従って外部端子30を配置する際に能動領域内、すなわち一定の面としての領域が提供できることになり、外部端子30の設定位置の自由度が非常に増すことになる。

そして、配線パターン20を構成する配線を、必要な位置で屈曲させることにより、外部端子30は格子状に並ぶように設けられている。なお、これは、本発明の必須の構成ではないので、外部端子30は必ずしも格子状に並ぶように設けなくても良い。

また、電極12の幅と配線パターン20の幅とを、

電極12 \leq 配線パターン20

とすることが好ましい。特に、

電極12 < 配線パターン20

となる場合には、配線パターン20の抵抗値が小さくなるばかりか、強度が増すので断線が防止される。

次に、本実施の形態に係る半導体装置の製造方法を説明する。図3～図8は、複数の絶縁層を形成する工程を示す図である。なお、本発明は、半導体チップ10のような個片の半導体素子に対しても適用できるが、本実施の説明では、複数の半導体素子の集合体として半導体ウエーハ11を使用する。そして、個々の半導体チップ10に切断されることになるそれぞれの半導体素子に対して本発明を適用した例を説明する。このことは、以下の実施の形態でも同じである。

まず、複数の電極12を有し、電極12を避けてパッシベーション膜（図示せず）が形成された半導体ウエーハ11（図9参照）を用意する。電極12に接続される配線パターン20を形成する。配線パターン20は、半導体ウエーハ11上、詳しくはパッシベーション膜上に形成してもよい。

次に、複数の絶縁層41、42、43を形成し、連通する穴44、46、48を形成して、開口部40を形成する。この工程は、次の第1工程～第4工程を含む。

（第1工程）

図3に示すように、絶縁層41を形成する。絶縁層41は、最下層に位置するときには、半導体ウエーハ11における電極12、パッシベーション膜（図示せず）及び配線パターン20が形成された面に形成される。絶縁層41の材料として、エネルギー（光、紫外線又は放射線など）に感応して性質を変える樹脂を使用することができ、例えば、フォトリソマーなどを使用できる。絶縁層41の材料としては、エネルギーが照射されると、溶解性が増加するもの（ポジ型）であっても、溶解性が減少するもの（ネガ型）であってもよい。

（第2工程）

図4に示すように、絶縁層41に穴44を形成する。例えば、図3に示すように、開口51が形成されたマスク50を、絶縁層41の上方に配置して、エネルギー60を照射し、その後現像することで穴44を形成する。絶縁層41が、エネルギーが照射されると溶解性が増加するものであるときは、穴44の形成領域上に開口51を配置する。絶縁層41が、エネルギーが照射されると溶解性が減少するものであるときは、穴44の形成領域上を覆って、それ以外の領域上に開口51を配置する。上述したエネルギー照射技術（露光技術など）を適用する場合には、マスク50の開口51からエネルギーが回り込むため、穴44の開口端部は曲面を以て形成される。

（第3工程）

図5に示すように、絶縁層41上に、絶縁層42を形成する。なお、下側の絶縁層41を第1の絶縁層と定義し、その上側の絶縁層42を第2の絶縁層と定義することができる。絶縁層41に形成された穴44にも、絶縁層42の材料を充填する。この工程は、絶縁層41を硬化させてから行うことが好ましい。

上側に位置する絶縁層42の材料は、エネルギーが照射されると溶解性が減少するものであることが好ましい。

（第4工程）

図6に示すように、絶縁層42に穴46を形成する。穴46は、下側の絶縁層41に形成された穴44と連通するように形成する。ここで、下側の穴44を第1の穴と定義し、その上側の穴46を第2の穴と定義することができる。第2の穴46を、第1の穴44よりも大きく形成する。第2の穴46の形成には、エネ

ルギーを照射する方法を適用することができる。第2の絶縁層42の材料が、エネルギーが照射されると溶解性が減少するものである場合には、例えば図5に示す工程を行う。すなわち、第1の穴44の上方のみを覆うマスク52を、第2の絶縁層42の上方に配置して、エネルギー60を照射する。そうすると、マスク52によってエネルギー60の照射が妨げられた領域は、溶解性が減少していないので、その後現像を行って除去することができる。第2の絶縁層42の材料は、第1の絶縁層41に形成された第1の穴44に充填された部分も除去することができる。こうして、第2の絶縁層42に第2の穴46を形成する。第2の穴46の開口端部は、マスク52からエネルギーが回り込むため曲面を以て形成される。

なお、第1の穴44の上方では、第2の絶縁層42の材料の厚みが均一ではないが、第1の絶縁層41の上では第2の絶縁層42の材料の厚みが均一になっている。したがって、第1の穴44の上方以外の領域では、第2の絶縁層42の材料に対してエネルギー60が均一に照射され、この領域で第2の絶縁層42の材料を均一に硬化させることができる。一方、第1の穴44の上方では、第2の絶縁層42の材料は、マスク52によって、均一にエネルギー60が照射されないようになっている。そして、第2の絶縁層42の材料のうち、第1の穴44の上方に設けられた部分を全て除去することができる。

(その後の工程)

上述した第1及び第2の絶縁層41、42の上に、さらに絶縁層を形成するときには、上記工程を繰り返す。例えば、図7に示すように、絶縁層42上に、絶縁層43を形成する。

この2層の絶縁層42、43については、下側の絶縁層42を第1の絶縁層と定義し、その上側の絶縁層43を第2の絶縁層と定義することができる。下側の絶縁層42に形成された穴46にも、絶縁層43の材料を充填する。この工程は、絶縁層42を硬化させてから行うことが好ましい。

上側に位置する絶縁層43の材料は、エネルギーが照射されると溶解性が減少するものであることが好ましい。

図8に示すように、絶縁層43に穴48を形成する。穴48は、下側の絶縁層

42に形成された穴46と連通するように形成する。ここで、下側の穴46を第1の穴と定義し、その上側の穴48を第2の穴と定義することができる。第2の穴48を、第1の穴46よりも大きく形成する。第2の穴48の形成には、エネルギーを照射する方法を適用することができる。第2の絶縁層43の材料が、エネルギーが照射されると溶解性が減少するものである場合には、例えば図7に示す工程を行う。すなわち、第1の穴46の上方のみを覆うマスク54を、第2の絶縁層43の上方に配置して、エネルギー60を照射する。そうすると、マスク54によってエネルギー60の照射が妨げられた領域は、溶解性が減少していないので、その後現像を行って除去することができる。第2の絶縁層43の材料は、第1の絶縁層42に形成された第1の穴46に充填された部分も除去することができる。こうして、第2の絶縁層43に第2の穴48を形成する。第2の穴48の開口端部は、マスク54からエネルギーが回り込むため曲面を以て形成される。

なお、第1の穴46の上方では、第2の絶縁層43の材料の厚みが均一ではないが、第1の絶縁層42の上では第2の絶縁層43の材料の厚みが均一になっている。したがって、第1の穴46の上方以外の領域では、第2の絶縁層43の材料に対してエネルギー60が均一に照射され、この領域で均一に第2の絶縁層43の材料を硬化させることができる。一方、第1の穴46の上方では、第2の絶縁層43の材料は、マスク54によって、エネルギー60が照射されないようになっている。そして、第2の絶縁層43の材料のうち、第1の穴46の上方に設けられた部分を全て除去することができる。

以上の工程により、複数の絶縁層41、42、43に連通する穴44、46、48を形成して、開口部40を形成することができる。すなわち、実質的に厚い1層からなる絶縁層に開口部40が形成された構成と同等の構成を得ることができる。例えば、絶縁層41、42、43のそれぞれの厚みを20 μ m程度として、合計60 μ m程度の層を形成して開口部40を形成することができる。穴44、46、48及び開口部40の構造の詳細及びその効果は上述した通りである。本実施の形態によれば、複数の絶縁層41、42、43のそれぞれに、1層毎に、穴44、46、48を形成する。しかも、上の層に形成される穴が下の層に形

成される穴よりも大きいので、露光技術などのエネルギー照射技術を適用しても、高精度の開口部40を形成することができる。あるいは、複数の絶縁層41、42、43を形成してから、レーザを使用して開口部40を形成してもよい。

開口部40は、配線パターン20上に開口する。開口部40を介して、図9に示すように、外部端子30を配線パターン20上に設ける。外部端子30の一部（例えば台座32）は、開口部40の内面に接触させて設ける。例えば、台座32を、配線パターン20上のみならず、開口部40の内面にも一体的にスパッタリングなどで形成する。台座32を設けたら、その上にハンダボールなどの接合部34を設ける。あるいは、台座32にハンダクリームを設けて、これを溶融させて表面張力でボール状にしてもよい。また、必要があれば、絶縁層43上に、さらに保護層を形成してもよい。

図9に示す半導体ウエーハ11を半導体装置と称することもできるが、半導体ウエーハ11をダイシングして、図1に示す半導体装置1を得ることができる。

（第2の実施の形態）

図10は、第2の実施の形態に係る半導体装置を示す図である。半導体装置2は、最上層の絶縁層62が、外部端子30の周辺部でのみ、その下の絶縁層42の表面に形成されている点で第1の実施の形態と異なる。これ以外の点は、第1の実施の形態と同じである。なお、絶縁層62には、第1の実施の形態の穴48と同じ構成の穴68が形成されている。本実施の形態によれば、最上層の絶縁層62が平面視において小さいので、変形しやすくなっており、熱ストレスに基づく応力に対応しやすくなっている。

（第3の実施の形態）

図11は、第3の実施の形態に係る半導体装置を示す図である。半導体装置3は、半導体チップ10上に、応力緩和層70が形成され、その上に配線パターン72が形成されている点で、第1の実施の形態と異なる。

応力緩和層70は、絶縁層41、42、43として選択できる材料のうち、応力緩和機能を付与できるもので形成することができる。応力緩和層70は、半導体チップ10における電極12が形成された面で、電極12を避けて形成されている。応力緩和層70には、電極12の上方に、穴74が形成されている。穴7

4の内面上にも配線パターン72が形成されている。穴74の内面は、底部よりも開口端部が大きくなるテーパが付された傾斜面となっている。したがって、配線パターン72は、直角よりも緩やかな角度で電極12から立ち上がり、直角よりも緩やかな角度で応力緩和層70の上面に至る。このように、配線パターン72の屈曲角度が緩やかになることで、その断線が防止される。

そして、配線パターン72上に、外部端子30が設けられると共に、絶縁層41、42、43が形成される。その詳細は、第1の実施の形態で説明した内容が適用される。

本実施の形態によれば、第1の実施の形態で説明した効果に加えて、応力緩和層70によっても応力を緩和することができる。

(第4の実施の形態)

図12は、第4の実施の形態に係る半導体装置を示す図である。半導体装置4は、最上層の絶縁層83が、外部端子30の周囲でのみ、その下の絶縁層42の表面に形成されている点で第3の実施の形態と異なる。これ以外の点は、第3の実施の形態と同じである。なお、絶縁層83には、第3の実施の形態の穴48と同じ構成の穴88が形成されている。本実施の形態によれば、絶縁層83が平面視において小さいので、変形しやすくなっており、熱ストレスに基づく応力に対応しやすくなっている。

(第5の実施の形態)

図13は、第5の実施の形態に係る半導体装置を示す図である。この半導体装置101は、半導体チップ110と、絶縁層120と、配線パターン130と、外部端子140と、を含む。半導体装置101は、そのパッケージサイズが半導体チップ110にほぼ等しいので、CSPに分類することができ、あるいは、応力緩和機能を備えるフリップチップであるということもできる。

半導体チップ110には、第1の実施の形態の半導体チップ10について説明した内容が該当する。ただし、パッシベーション膜114は、本実施の形態に対応する発明の必須要件ではないが、形成されていることが好ましい。

絶縁層120は、第1の実施の形態で説明した材料で形成することができる。絶縁層120は、応力緩和機能を有してもよい。絶縁層120は、複数の層で形

成してもよく、それぞれの層の特性が異なるようにしてもよい。例えば、外部端子140に近い上側の層122の熱膨張係数を、半導体チップ110に近い下側の層124の熱膨張係数よりも大きくしてもよい。こうすることで、半導体チップ110に近い下側の層124は、半導体チップの熱膨張係数に近づき、回路基板（マザーボード）に近い上側の層122は、回路基板の熱膨張係数に近づくので、応力を効果的に吸収することができる。なお、外部端子140に加えられる応力は、詳しくは、半導体装置101が実装される回路基板（マザーボード）と、半導体チップ110と、の熱膨張係数の差によって生じる。一般に、回路基板の熱膨張係数は大きいので膨張及び収縮が大きく、半導体チップ110の熱膨張係数は小さいので膨張及び収縮が小さい。

絶縁層120は、電極112が形成された面に、電極112を避けて形成されている。または、電極112の一部に絶縁層120がオーバーハングする場合もある。ただし、電極112上には、電極112の電氣的機能が達成される程度には露出された部分が必要である。すなわち、電極112上の一部に絶縁層120が設けられない露出部分があれば、それ以外の部分で電極112上に絶縁層120がコーティングされていても構わない。絶縁層120には、電極112の上方に開口部126が形成されている。開口部126は、底部よりも開口端部が大きい形状をなし、内面が傾斜している。

また、絶縁層120には、電極112を避けた領域に、複数の凹部128が形成されている。凹部128は、底部よりも開口端部が大きい形状をなし、内面が傾斜している。凹部128は、上側の層122及び下側の層124に連通して形成されていてもよい。また、凹部128は、半導体チップ110の面に至るまで貫通して、例えばパッシベーション膜114が露出してもよい。

配線パターン130は、電極112から絶縁層120に至るまで形成されている。詳しくは、配線パターン130は、絶縁層120に形成された開口部126内で電極112に電氣的に接続されている。配線パターン130には、第1の実施の形態の配線パターン20の内容が該当する。開口部126の内面が傾斜していれば、開口部126の内面と絶縁層120の表面との角度が大きくなるので、配線パターン130の断線が防止される。

外部端子140は、凹部128に設けられている。凹部128が電極112の真上を避けて形成されているので、外部端子140に加えられた応力が電極112に伝わりにくくなっている。外部端子140は、台座142と、接合部144と、からなる。接合部144は、例えばハンダボールなどであって、回路基板との電氣的な接合に使用される。台座142は、凹部128の内面形状に対応して、逆錐台形状（逆円錐台形状、逆角錐台形状）をなしている。台座142は、接合部144を受けやすいように、中央がくぼむ形状をなしている。台座142も、複数層で形成してもよく、配線パターン130として選択可能な材料で形成することができる。

配線パターン130が凹部128の開口端部に至るまで形成されているので、この開口端部で、配線パターン130と外部端子140とが電氣的に接続されている。すなわち、外部端子140と配線パターン130との接続部分が、絶縁層120上に位置するので、この接続部分に対して加えられる応力も絶縁層にて吸収される。凹部128の内面が傾斜面となっていれば、台座142と配線パターン130とが大きい角度で接続されるので、その部分の断線が防止される。なお、外部端子140の一部をなす台座142と、配線パターン130と、を一体的に形成してもよい。

凹部128が、底部よりも開口端部が大きくなる形状であるため、外部端子140の側面（例えば台座142の側面）も傾斜している。したがって、半導体チップ110の表面に対する垂線に沿って見て、絶縁層120の一部は、それぞれの外部端子140の一部分と半導体チップ110との間に位置する。

配線パターン130は、保護層150によって覆われている。保護層150は、例えばソルダレジストであってもよい。保護層150は、外部端子140を避けて、応力緩和層120上に形成される。保護層150は、外部端子140の一部を覆っても良いが、外部端子140の少なくとも上端部を避けることが必要である。

本実施の形態に係る半導体装置101によれば、配線パターン130が、絶縁層120上に形成されており、かつ、凹部128の開口端部で外部端子140に電氣的に接続されている。すなわち、配線パターン130と外部端子140との

電氣的な接続部分が、絶縁層 120 上に位置している。したがって、配線パターン 130 と外部端子 140 との電氣的な接続部分に加えられる応力も、絶縁層 120 によって吸収される。こうして、配線パターン 130 と外部端子 140 との電氣的接続を効果的に確保することができる。また、配線パターン 130 は、絶縁層 120 上に形成されているので、破断が防止されるようになっている。さらに、配線パターン 130 は、絶縁層 120 上に形成されており半導体チップから離れている。したがって、半導体チップ 110 内の集積回路における信号と、配線パターン 130 における信号と、が干渉しにくくなっており、クロストークが減少する。

図 14 に、本実施の形態に係る半導体装置の平面図を示す。同図において、半導体チップ 110 の電極 112 から、能動面の中央方向に配線パターン 130 が形成され、配線パターン 130 に外部端子 140 が電氣的に接続されている。

なお、外部端子 140 を半導体チップ 110 の能動領域に設け、絶縁層 120 (図 13 参照) を能動領域に設け、配線パターン 130 を能動領域内に配設することについては、第 1 の実施の形態で図 2 に関連して説明した通りである。また、配線パターン 130 の形状についても、第 1 の実施の形態で図 2 に関連して説明した内容が適用される。

次に、本実施の形態に係る半導体装置の製造方法を説明する。

まず、第 1 の実施の形態で説明したように、半導体チップ 110 に切断される前の半導体ウエーハを用意する。半導体ウエーハは、複数の電極 112 を有し、電極 112 を避けてパッシベーション膜 114 が形成されている。

(第 1 工程)

半導体ウエーハに絶縁層 120 を形成する。複数の層を積層して絶縁層 120 を形成してもよい。絶縁層 120 に複数の凹部 128 を形成する。半導体ウエーハにおける電極 112 の上方に、絶縁層 120 に開口部 126 を形成する。これらの工程の順序は問わない。例えば、絶縁層 120 を形成し、その次に、凹部 128 及び開口部 126 を同時に形成してもよい。この場合には、光や放射線などのエネルギーに感応する樹脂で絶縁層 120 を形成し、絶縁層 120 における凹部 128 及び開口部 126 の形成部分を除去できるようにエネルギーを照射し、

現像する。なお、凹部 128 及び開口部 126 の形状は上述した通りである。

(第 2 工程)

電極 112 から絶縁層 120 上を通して、凹部 128 の開口端部に至る配線パターン 130 を形成する。また、凹部 128 の開口端部で配線パターン 130 と電氣的に接続される外部端子 140 を凹部 128 に設ける。これらの工程の順序は問わない。

例えば、電極 112 から、開口部 126 の内面を通して、絶縁層 120 における凹部 128 の開口端部に至る配線パターン 130 と、凹部 128 の内面に形成されて凹部 128 の開口端部で配線パターン 130 に接続される台座 142 と、を一体的に形成する。その工程には、スパッタリングなどを適用することができる。その後、台座 142 の上にハンダボールなどの接合部 144 を設ける。あるいは、台座 142 にハンダクリームを設けて、これを溶融させて表面張力でボール状にしてもよい。こうして、外部端子 140 を設けることができる。また、必要があれば、絶縁層 120 上に保護層 150 を形成する。そして、半導体ウェーハをダイシングして、上述した半導体装置 101 を得ることができる。

(第 6 の実施の形態)

図 15 は、第 6 の実施の形態に係る半導体装置を示す図である。半導体装置 102 は、第 5 の実施の形態で説明した半導体チップ 110 と、絶縁層 160 と、配線パターン 170 と、外部端子 180 と、を含む。絶縁層 160 は、複数の層で形成されている。絶縁層 160 における電極 112 の上方には、開口部 166 が形成されており、配線パターン 170 が電極 112 に電氣的に接続されている。

絶縁層 160 には凹部 168 が形成されている。凹部 168 は、絶縁層 160 を構成する複数の層のうち、上側の層 162 にのみ形成され、下側の層 164 に形成されていない。この点が第 5 の実施の形態と異なり、これ以外の構成には第 5 の実施の形態の構成を適用することができる。凹部 168 には、台座 182 が形成され、台座 182 上に接合部 184 が設けられている。また、配線パターン 170 上には、保護層 190 が形成されている。

本実施の形態に係る半導体装置 102 でも、配線パターン 170 と外部端子 1

80との電気的な接続部分が、絶縁層160上に位置している。したがって、配線パターン170と外部端子180との電気的な接続部分に加えられる応力が、絶縁層160によって吸収される。その他の効果は、第5の実施の形態と同じである。

(第7の実施の形態)

図16は、第7の実施の形態に係る半導体装置を示す図である。この半導体装置201は、半導体チップ210と、配線パターン220と、外部端子230と、第1及び第2の絶縁層240、242と、を含む。半導体装置201は、そのパッケージサイズが半導体チップ210にほぼ等しいので、CSPに分類することができる。あるいは、応力緩和機能を備えるフリップチップであるということもできる。

半導体チップ210には、第1の実施の形態の半導体チップ10について説明した内容が該当する。

配線パターン220には、第1の実施の形態の配線パターン20の内容が該当する。外部端子230は、台座232と、接合部234と、からなり、これらの詳細は、第1の実施の形態の外部端子30と同じ構成でよい。

第1及び第2の絶縁層240、242は、それぞれの外部端子230の周囲に形成されている。第1及び第2の絶縁層240、242の少なくとも一方は、応力緩和機能を有してもよい。第1及び第2の絶縁層240、242は、第1の実施の形態で説明した材料で形成することができる。なお、第1の絶縁層240は、半導体チップ210側に位置しており、電極212、配線パターン220及び図示しないパッシベーション膜上に形成されている。第2の絶縁層242は、外部端子230の形成領域を除き、第1の絶縁層240の表面全体上に形成されている。

第1の絶縁層240には、第1の開口部244が形成されている。第1の開口部244は、配線パターン244における外部端子230との接合部上に形成されている。第1の開口部244の内面は、底部から離れるに従って開口が大きくなるテーパが付けられた傾斜面となっている。

第2の絶縁層242には、第2の開口部246が形成されている。第2の開口

部246は、第1の開口部244の上方に形成されている。第2の開口部246の内面は、底部から離れるに従って開口が大きくなるテーパが付けられた傾斜面となっている。

第1及び第2の開口部244、246の内面に、外部端子230の一部（例えば台座232）が接触して設けられている。第1及び第2の開口部244、246の内面が傾斜していることに対応して、台座232の側面も傾斜している。詳しくは、台座232は、逆錐台形状（逆円錐台形状、逆角錐台形状）をなしている。

外部端子230の側面（例えば台座232の側面）が傾斜しているので、半導体チップ210の表面に対する垂線に沿って見て、第1及び第2の絶縁層240、242の一部は、それぞれの外部端子230の一部分と半導体チップ210との間に位置する。詳しくは、外部端子230の一部（例えば台座232の一部）が配線パターン220に接合されており、この部分を除く部分と半導体チップ210との間に、第1及び第2の絶縁層240、242の一部が設けられている。

本実施の形態では、第1の絶縁層240と、第2の絶縁層242とは、特性が異なる。例えば、第1の絶縁層240のヤング率が、第2の絶縁層242のヤング率よりも大きい。あるいは、第2の絶縁層242の熱膨張係数は、第1の絶縁層240の熱膨張係数よりも大きい。

外部端子230に加えられる応力は、詳しくは、半導体装置201が実装される回路基板と、半導体チップ210と、の熱膨張係数の差によって生じる。一般に、回路基板の熱膨張係数は大きいので膨張及び収縮が大きく、半導体チップ210の熱膨張係数は小さいので膨張及び収縮が小さい。そこで、半導体チップ210に近い位置に形成された第1の絶縁層240は、半導体チップ210の膨張及び収縮が小さいことに対応して、ヤング率を大きくしてある。一方、回路基板に近い位置に形成された第2の絶縁層242は、回路基板の膨張及び収縮が大きいことに対応して、ヤング率を小さくしてある。このように、特性の異なる第1及び第2の絶縁層240、242を使用することで、応力を効果的に吸収することができる。

図17に、本実施の形態に係る半導体装置の平面図を示す。同図において、半

導体チップ210の電極212から、能動面の中央方向に配線パターン220が形成され、配線パターン220には外部端子230が設けられている。

なお、外部端子230を半導体チップ210の能動領域に設け、第1及び第2の絶縁層240、242（図16参照）を能動領域に設け、配線パターン220を能動領域内に配設することについては、第1の実施の形態で図2に関連して説明した通りである。また、配線パターン220の形状についても、第1の実施の形態で図2に関連して説明した内容が適用される。

次に、本実施の形態に係る半導体装置の製造方法を説明する。

まず、第1の実施の形態で説明したように、半導体チップ210に切断される前の半導体ウエーハを用意する。半導体ウエーハは、複数の電極212を有し、電極212を避けてパッシベーション膜が形成されている。電極212から配線パターン220を形成する。その上に、第1及び第2の絶縁層240、242を形成し、配線パターン220における外部端子230との接合位置に、第1及び第2の開口部244、246を形成する。そして、第1及び第2の開口部244、246を介して外部端子230を配線パターン220上に設ける。外部端子230の一部（例えば台座232）は、第1及び第2の開口部244、246の内面に接触させて設ける。例えば、台座232を、配線パターン220上のみならず、第1及び第2の開口部244、246の内面にも一体的にスパッタリングなどで形成する。台座232を設けたら、その上にハンダボールなどの接合部234を設ける。あるいは、台座232にハンダクリームを設けて、これを溶融させて表面張力でボール状にしてもよい。また、必要があれば、第2の絶縁層242上に、さらに保護層を形成してもよい。

そして、半導体ウエーハをダイシングして、上述した半導体装置201を得ることができる。

（第8の実施の形態）

図18は、第8の実施の形態に係る半導体装置を示す図である。半導体装置202は、第2の絶縁層252が、外部端子230の周囲でのみ、第1の絶縁層240の表面に形成されている点で第7の実施の形態と異なる。これ以外の点は、第7の実施の形態と同じである。なお、第2の絶縁層252には、第7の実施の

形態の第2の開口部246と同じ構成の第2の開口部254が形成されている。本実施の形態によれば、第2の絶縁層252が平面視において小さいので、変形しやすくなっており、熱ストレスに基づく応力に対応しやすくなっている。

(第9の実施の形態)

図19は、第9の実施の形態に係る半導体装置を示す図である。半導体装置203は、半導体チップ210上に、第3の絶縁層260が形成され、その上に配線パターン262が形成されている点で、第7の実施の形態と異なる。

第3の絶縁層260は、第1又は第2の絶縁層240、242として選択できる材料で形成することができる。第3の絶縁層260は、半導体チップ210における電極212が形成された面で、電極212を避けて形成されている。第3の絶縁層260には、電極212の上方に、第3の開口部264が形成されている。第3の開口部の内面上にも配線パターン262が形成されている。第3の開口部264の内面は、底部から離れるに従って開口が大きくなるテーパが付された傾斜面となっている。したがって、配線パターン262は、直角よりも緩やかな角度で電極212から立ち上がり、直角よりも緩やかな角度で第3の絶縁層260の上面に至る。このように、配線パターン262の屈曲角度が緩やかになることで、その断線が防止される。

そして、配線パターン262上に、外部端子230が設けられると共に、第1及び第2の絶縁層240、242が形成される。その詳細は、第7の実施の形態で説明した内容が適用される。

本実施の形態によれば、第7の実施の形態で説明した効果に加えて、第3の絶縁層260によっても応力を緩和することができる。

(第10の実施の形態)

図20は、第10の実施の形態に係る半導体装置を示す図である。半導体装置204は、第2の絶縁層270が、外部端子230の周囲でのみ、第1の絶縁層240の表面に形成されている点で第9の実施の形態と異なる。これ以外の点は、第9の実施の形態と同じである。なお、第2の絶縁層270には、第9の実施の形態の第2の開口部246と同じ構成の第2の開口部272が形成されている。本実施の形態によれば、第2の絶縁層270が平面視において小さいので、変

形しやすくなっており、熱ストレスに基づく応力に対応しやすくなっている。

図 21 には、本実施の形態に係る半導体装置 1 を実装した回路基板 1000 が示されている。回路基板 1000 には例えばガラスエポキシ基板等の有機系基板を用いることが一般的である。回路基板 1000 には例えば銅からなる配線パターンが所望の回路となるように形成されていて、それらの配線パターンと半導体装置 1 の外部端子 30 とを機械的に接続することでそれらの電氣的導通を図る。

そして、本発明を適用した半導体装置 1 を有する電子機器 1100 として、図 22 には、ノート型パーソナルコンピュータが示されている。

なお、上記本発明の構成要件「半導体チップ」を「電子素子」に置き換えて、半導体チップと同様に電子素子（能動素子か受動素子かを問わない）を、基板に実装して電子部品を製造することもできる。このような電子素子を使用して製造される電子部品として、例えば、抵抗器、コンデンサ、コイル、発振器、フィルタ、温度センサ、サーミスタ、バリスタ、ボリューム又はヒューズなどがある。

【図面の簡単な説明】

図 1 は、本発明の第 1 の実施の形態に係る半導体装置を示す断面図である。

図 2 は、本発明の第 1 の実施の形態に係る半導体装置を示す平面図である。

図 3 は、本発明の第 1 の実施の形態に係る半導体装置の製造方法を示す図である。

図 4 は、本発明の第 1 の実施の形態に係る半導体装置の製造方法を示す図である。

図 5 は、本発明の第 1 の実施の形態に係る半導体装置の製造方法を示す図である。

図 6 は、本発明の第 1 の実施の形態に係る半導体装置の製造方法を示す図である。

図 7 は、本発明の第 1 の実施の形態に係る半導体装置の製造方法を示す図である。

図 8 は、本発明の第 1 の実施の形態に係る半導体装置の製造方法を示す図である。

図 9 は、本発明の第 1 の実施の形態に係る半導体装置の製造方法を示す図であ

る。

図10は、本発明の第2の実施の形態に係る半導体装置を示す図である。

図11は、本発明の第3の実施の形態に係る半導体装置を示す図である。

図12は、本発明の第4の実施の形態に係る半導体装置を示す図である。

図13は、本発明の第5の実施の形態に係る半導体装置を示す断面図である。

図14は、本発明の第5の実施の形態に係る半導体装置を示す平面図である。

図15は、本発明の第6の実施の形態に係る半導体装置を示す図である。

図16は、本発明の第7の実施の形態に係る半導体装置を示す断面図である。

図17は、本発明の第7の実施の形態に係る半導体装置を示す平面図である。

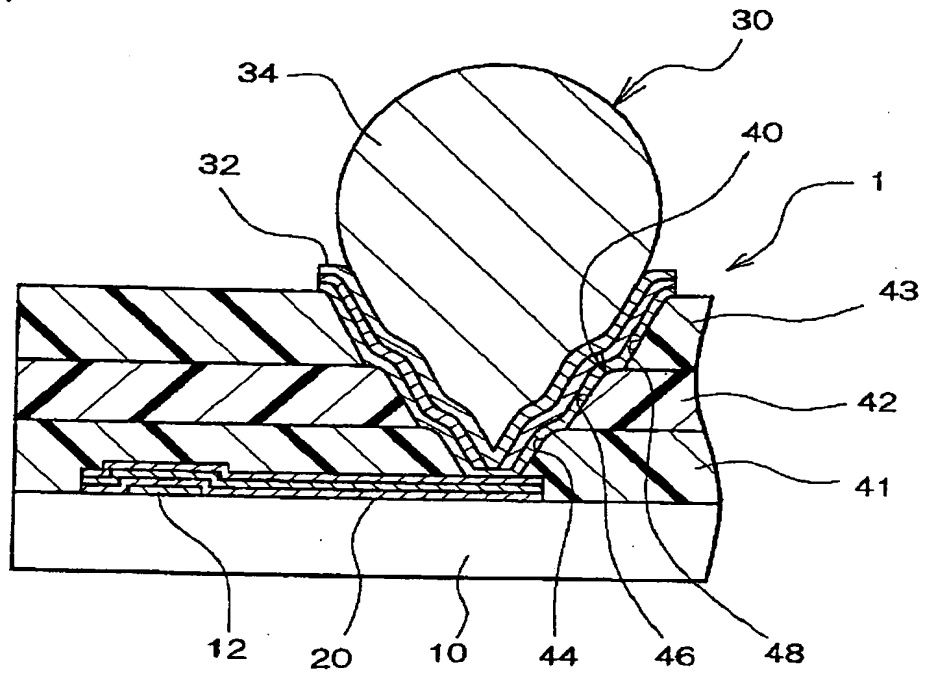
図18は、本発明の第8の実施の形態に係る半導体装置を示す図である。

図19は、本発明の第9の実施の形態に係る半導体装置を示す図である。

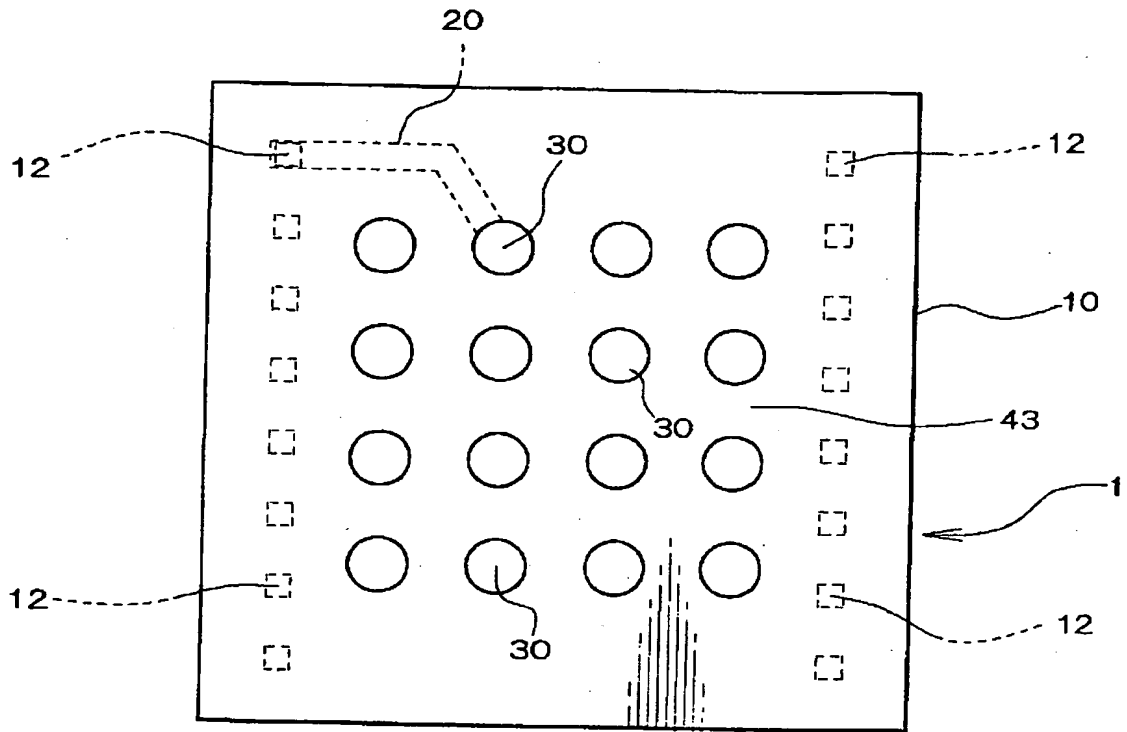
図20は、本発明の第10の実施の形態に係る半導体装置を示す図である。

図21は、本実施の形態に係る半導体装置が実装された回路基板を示す図である。

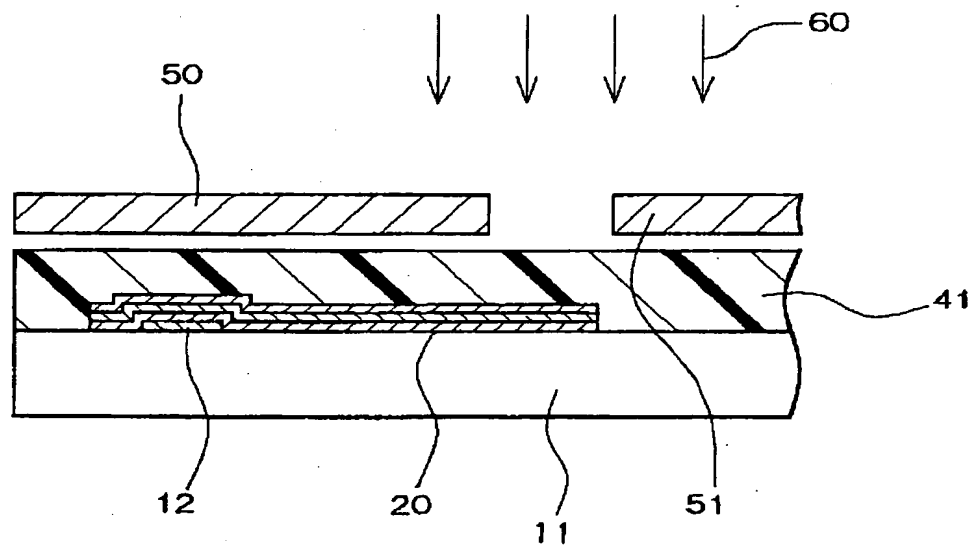
図22は、本実施の形態に係る半導体装置を電子機器を示す図である。

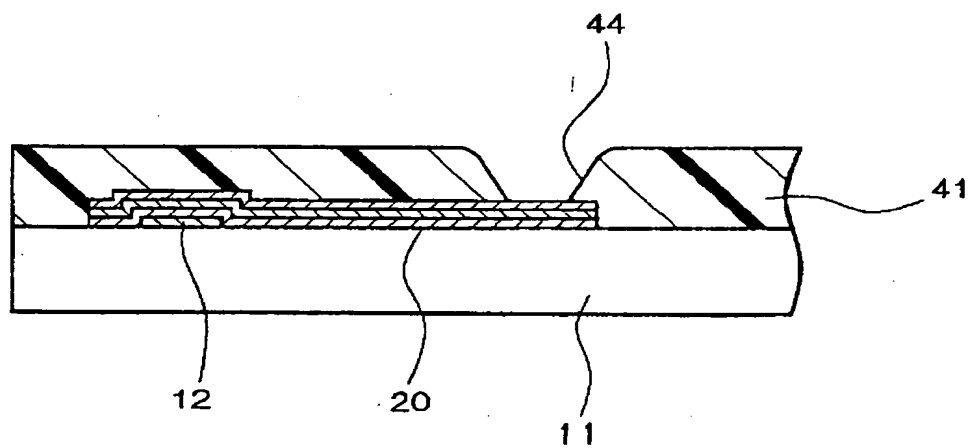
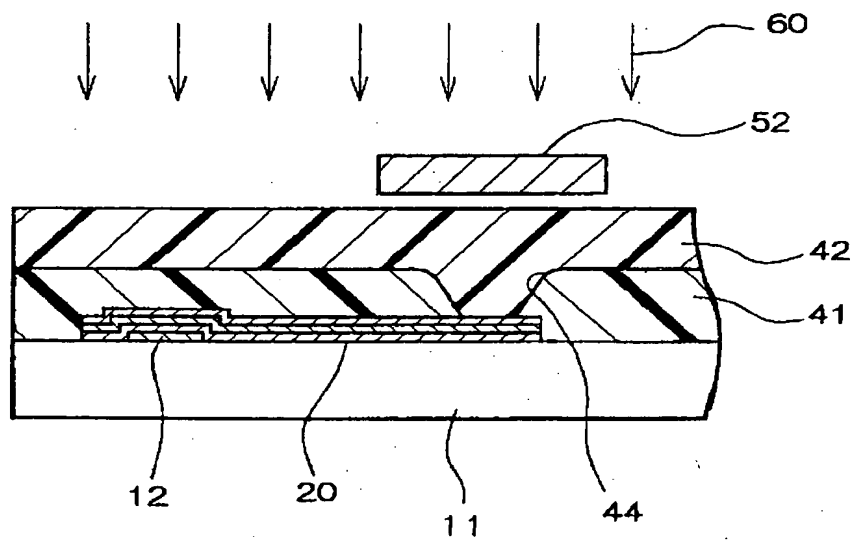
【図1】
FIG. 1

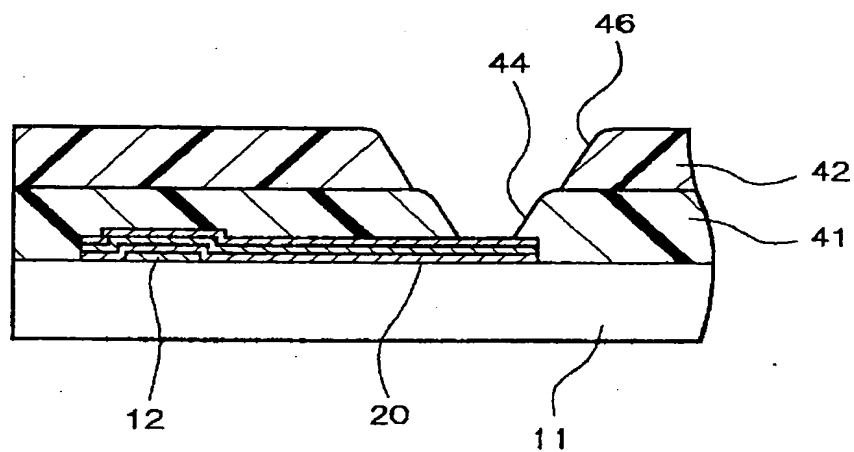
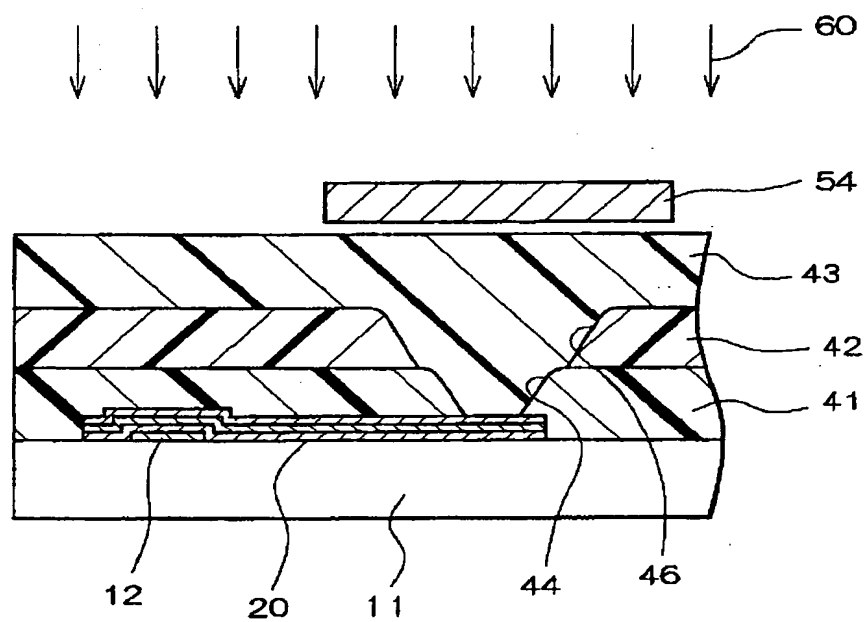
【図2】
FIG. 2



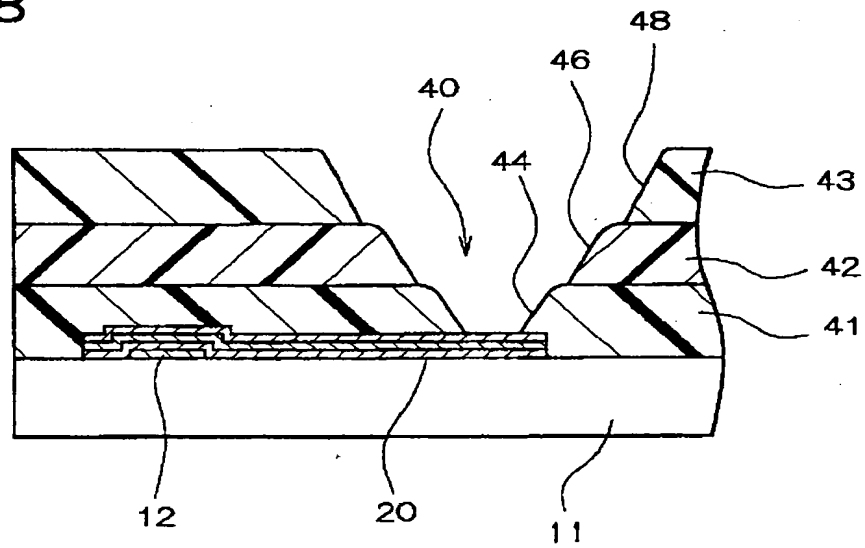
【図3】
FIG. 3

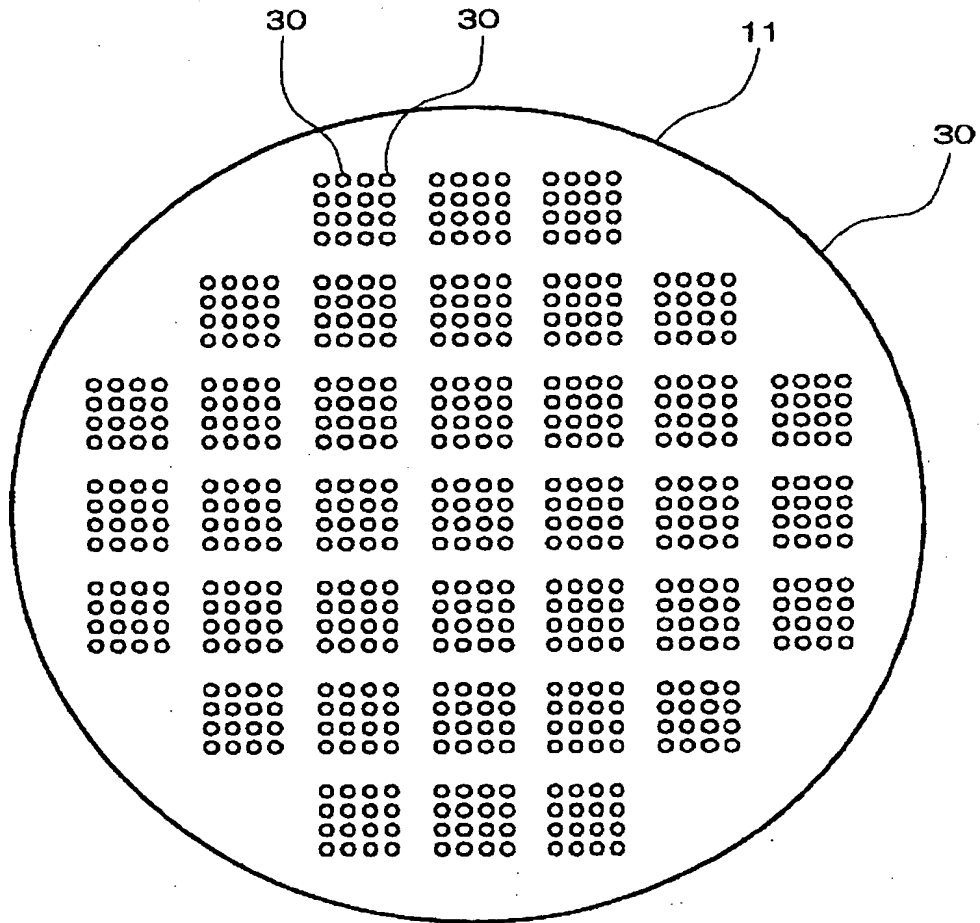


【図4】
FIG. 4【図5】
FIG. 5

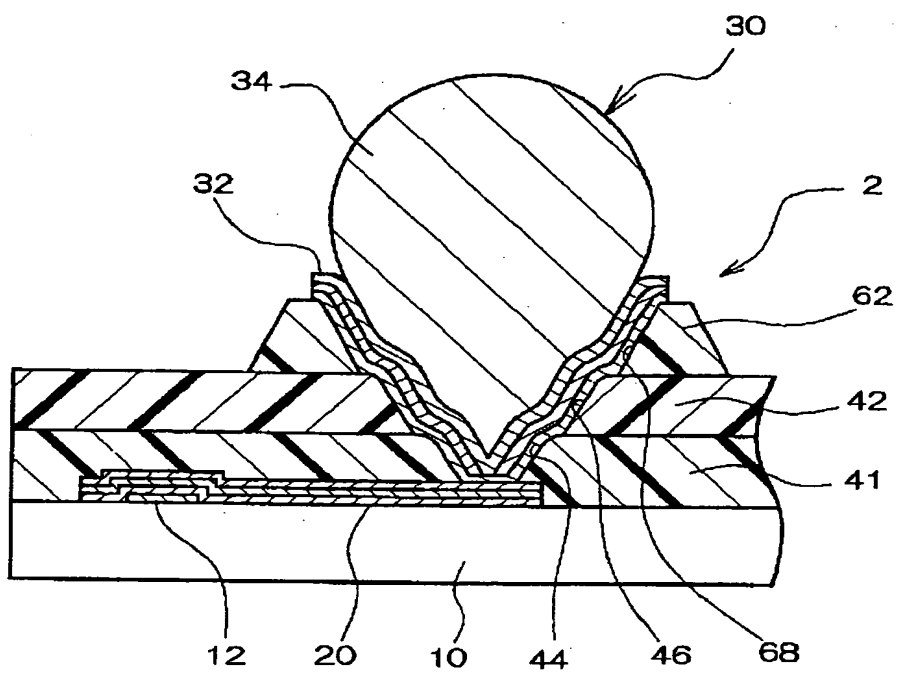
【図 6】
FIG. 6【図 7】
FIG. 7

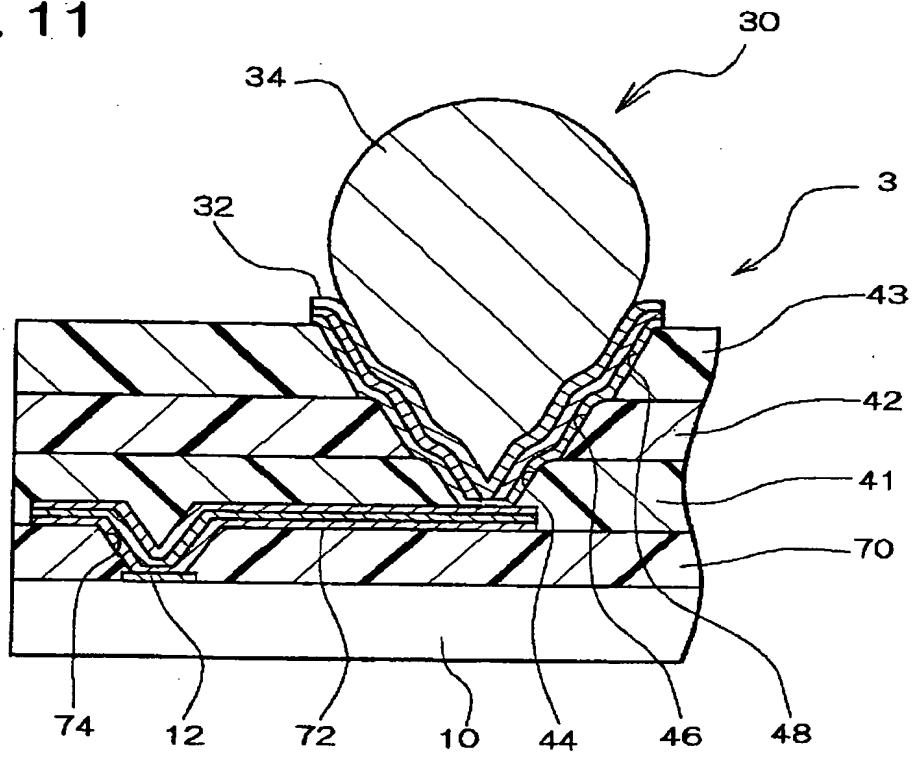
【図8】
FIG. 8



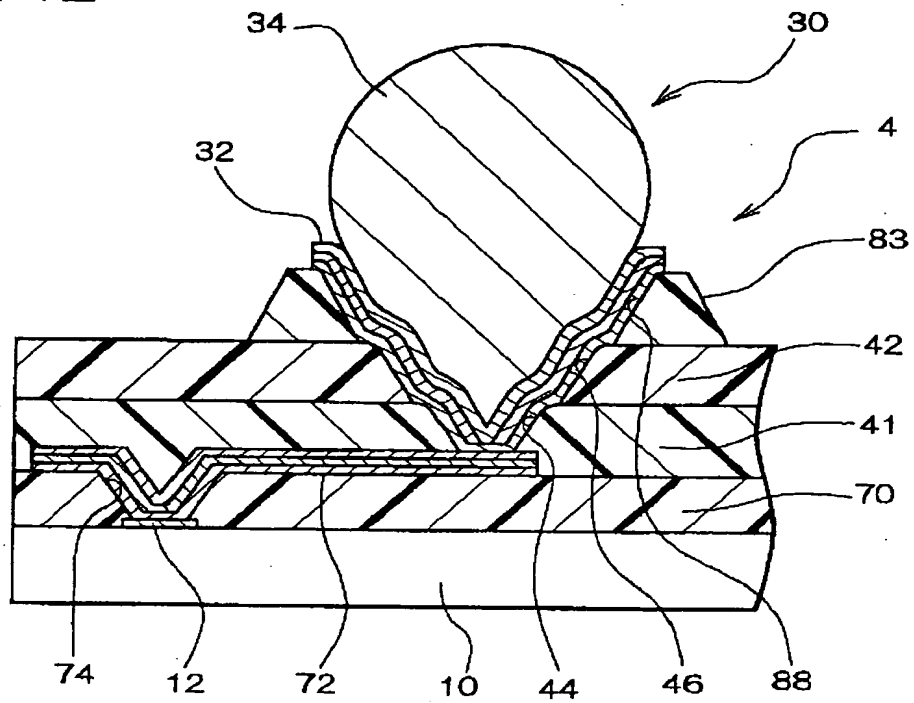
[FIG. 9]
FIG. 9

【図 10】
FIG. 10

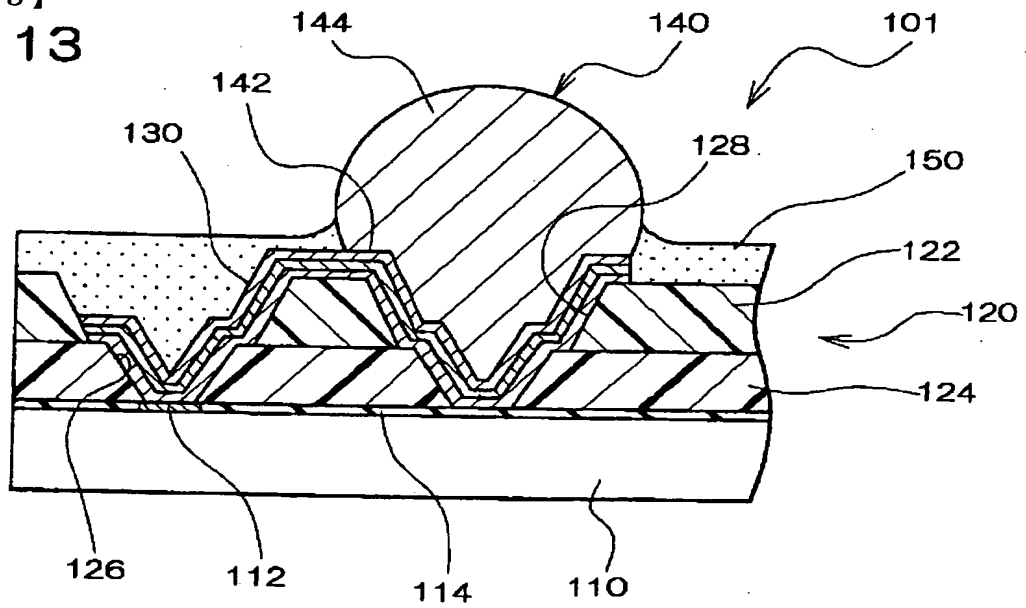


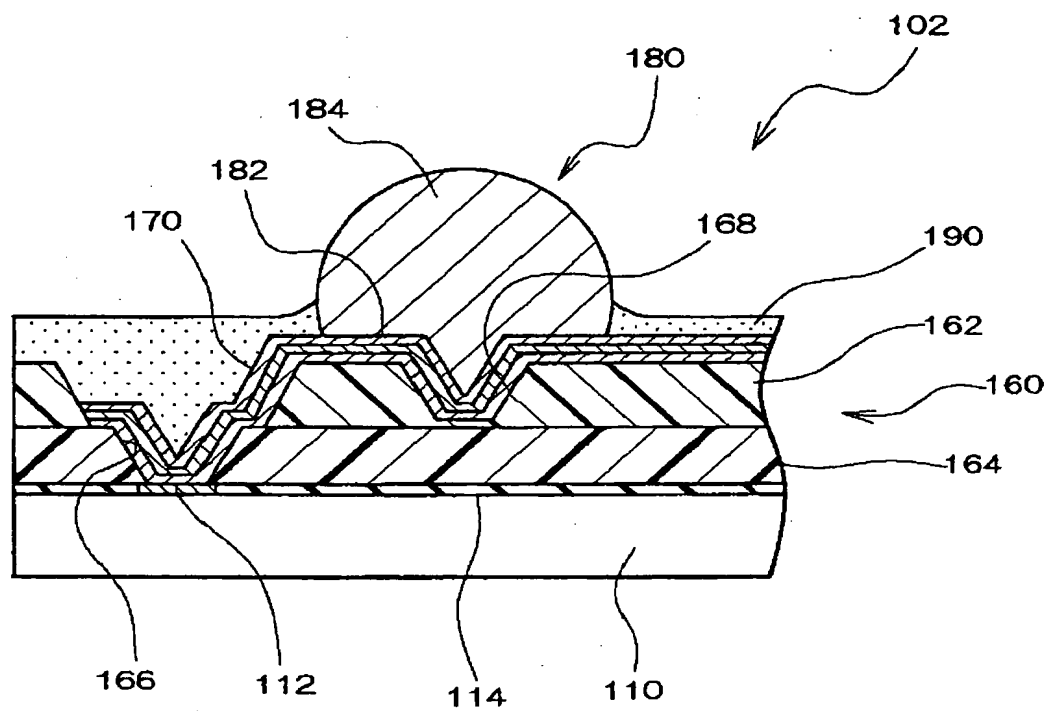
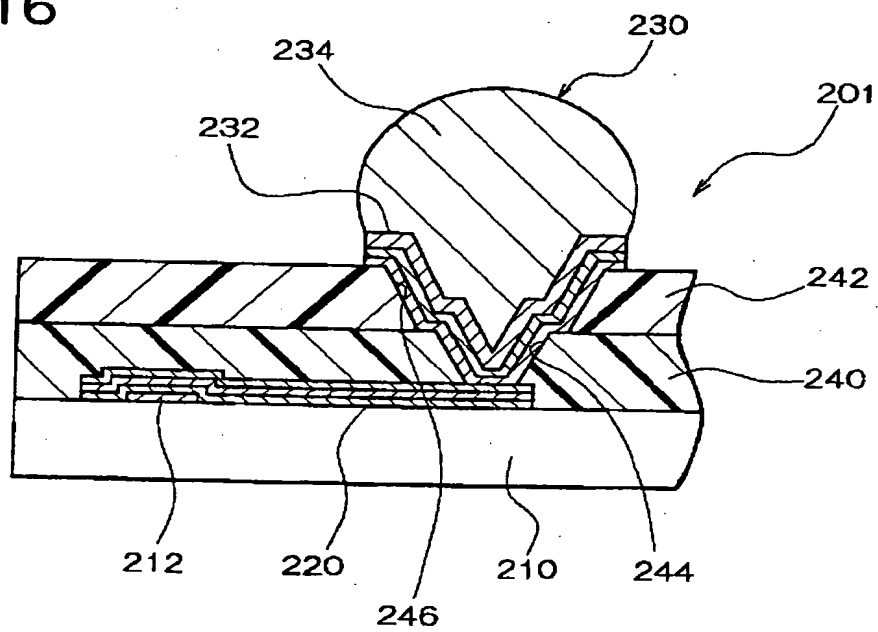
[FIG. 11]
FIG. 11

【図 12】
FIG. 12

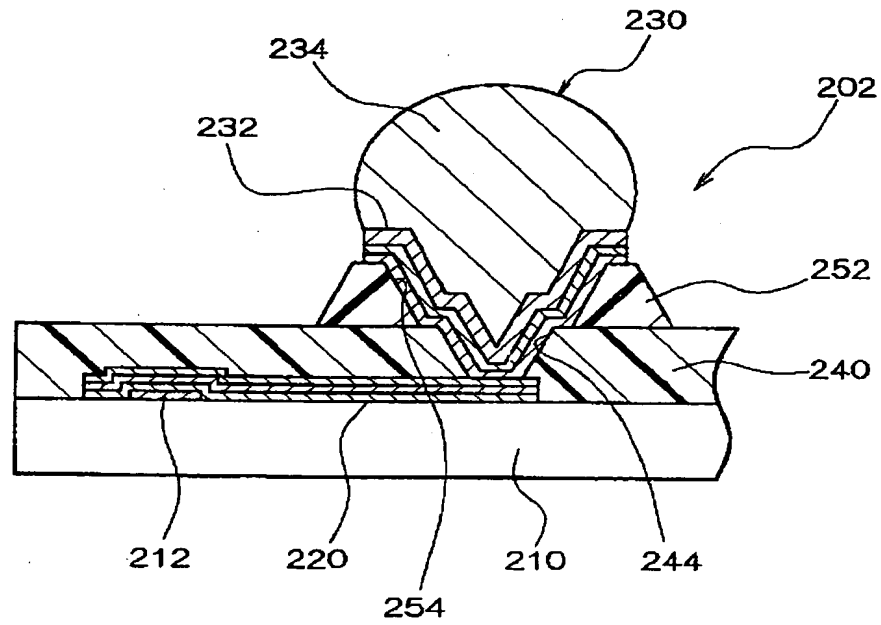


【図 13】
FIG. 13

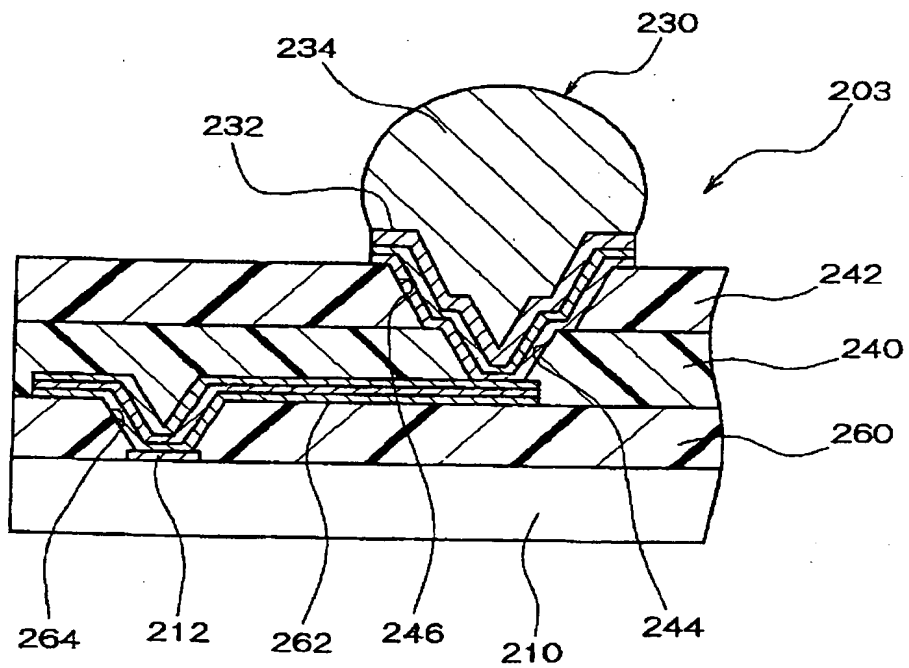


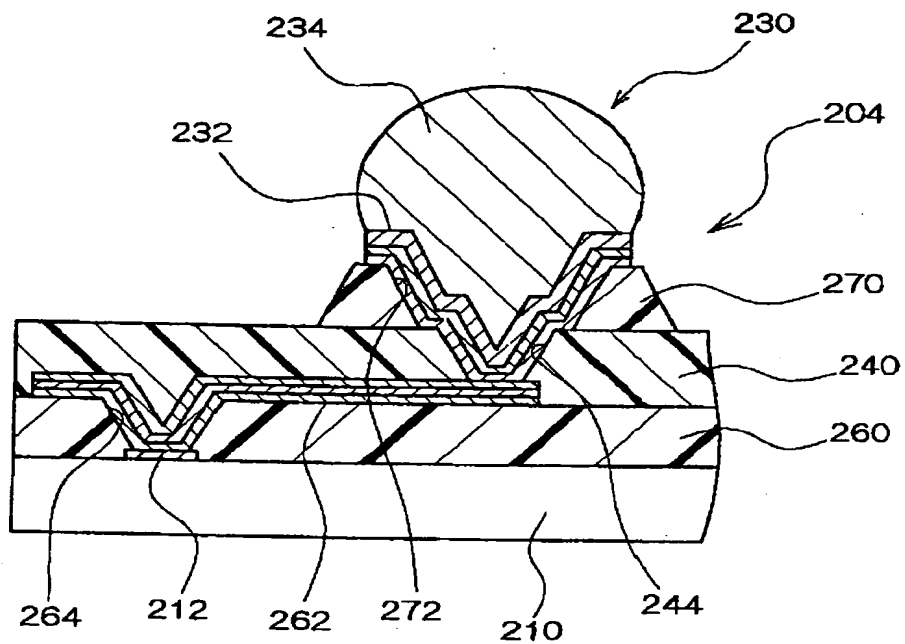
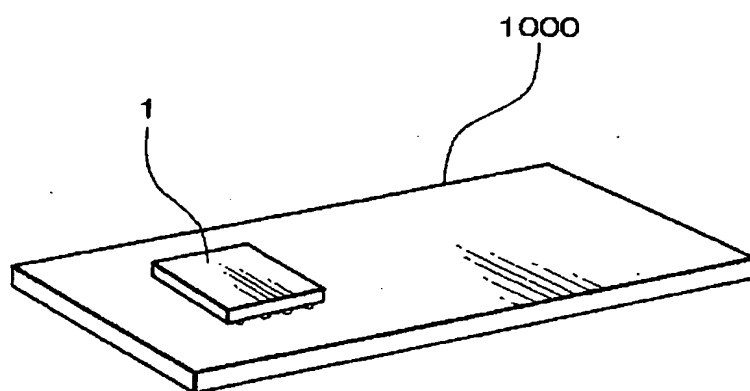
【図15】
FIG. 15【図16】
FIG. 16

【図18】
FIG. 18

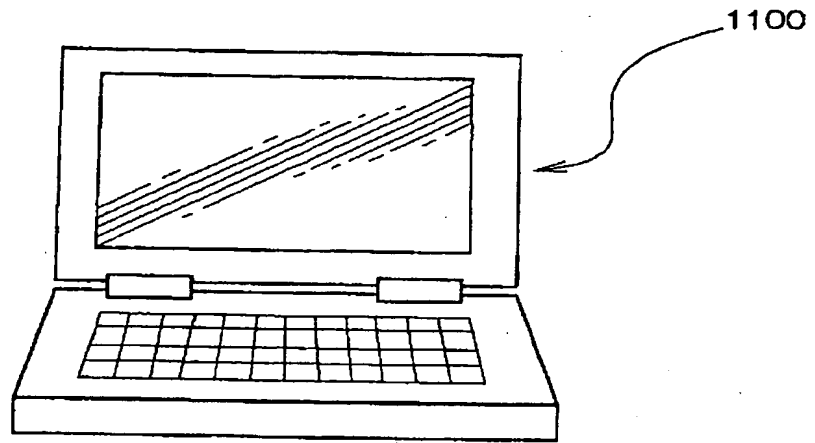


【図19】
FIG. 19



【図 20】
FIG. 20【図 21】
FIG. 21

【図 22】
FIG. 22



【国際調査報告】

国際調査報告		国際出願番号 PCT/JP00/01387	
A. 発明の属する分野の分類 (国際特許分類 (IPC))			
Int. Cl ⁷ H01L21/60			
B. 調査を行った分野			
調査を行った最小限資料 (国際特許分類 (IPC))			
Int. Cl ⁷ H01L21/60, H01L23/12			
最小限資料以外の資料で調査を行った分野に含まれるもの			
日本国実用新案公報 1926-1996年			
日本国公開実用新案公報 1971-2000年			
日本国特許実用新案公報 1994-2000年			
日本国実用新案登録公報 1996-2000年			
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号	
PX	JP, 11-204560, A (松下電子工業株式会社), 30. 7月. 1999 (30. 07. 99), 第5欄41行~第8欄44行, 図2, 図3 (ファミリーなし)	1-3, 6, 8, 10- 12, 21, 23, 25, 27-31	
PX	JP, 2000-036509, A (株式会社東芝), 2. 2月. 2000 (02. 02. 2000), 図6 (ファミリーなし)	1-3, 5, 6, 8, 10	
PA	JP, 11-307563, A (松下電子工業株式会社), 5. 11日. 1999 (05. 11. 99),	13	
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日 06. 06. 00		国際調査報告の発送日 20.06.00	
国際調査機関の名称及び先 日本国特許庁 (ISA/JP) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官 (権限のある職員) 池淵 立 電話番号 03-3581-1101 内線 3469	

様式PCT/ISA/210 (第2ページ) (1998年7月)

国際調査報告

国際出願番号 PCT/JPO0/01387

C (続き) . 引用文献の カテゴリー*	関連すると認められる文献 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	<p>図3 (ファミリーなし)</p> <p>日本国実用新案登録出願60-111524号 (日本国実用新案登録出願公開62-19741号) の願書に添付した明細書及び図面の内容を撮影したマイクロフィルム (浪花株式会社) , 5. 2月. 1987 (05. 02. 87) , 第1図 (ファミリーなし)</p>	I3

フロントページの続き

(81) 指定国 EP(AT, BE, CH, CY,
DE, DK, ES, FI, FR, GB, GR, IE, I
T, LU, MC, NL, PT, SE), CN, JP, K
R, US

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。

なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。